

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060657

(43)Date of publication of application : 06.03.2001

(51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 23/50

(21)Application number : 11-234904

(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY  
CORP

(22)Date of filing : 23.08.1999

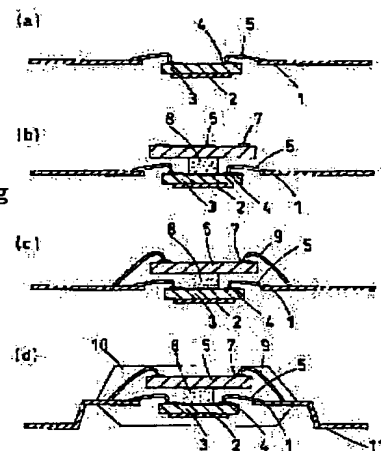
(72)Inventor : FUJIMOTO HIROAKI  
KOGA AKIRA  
FUKUDA TOSHIYUKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To widen size combination of mountable chips in the application range in a semiconductor device, where two chips are laminated and mounted.

SOLUTION: A thick insulating resin 8 is provided on the surface of a first LSI chip 2, and the rear of a second LSI chip 6 is set higher than the highest part of bonding wires 5 connected to the first LSI chip 2, so that the second LSI chip 6 will not come into contact with the bonding wires 5 connected to the first LSI chip 2. Therefore, size limitations imposed on the chips 3 and 6 are reduced, and a size combination of the LSI chips 3 and 6 can be widened in the application range.



## LEGAL STATUS

[Date of request for examination]

14.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

3497775

[Date of registration]

28.11.2003

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of said 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of said 1st semiconductor chip and the polar zone of said base material are connected with a metal thin line. Arrange the rear face of said 2nd semiconductor chip so that the front face of said 1st semiconductor chip may be faced in a location higher than the topmost part of said metal thin line, and between the rear face of said 2nd semiconductor chip and the front faces of said 1st semiconductor chip is fixed with insulating adhesives. The semiconductor device characterized by connecting electrically the electrode of the front face of said 2nd semiconductor chip, and the polar zone of said base material.

[Claim 2] The semiconductor device according to claim 1 characterized by at least one of two sides and the flat-surface configuration of the 2nd semiconductor chip cross at right angles being larger than two sides and the flat-surface configuration of the 1st semiconductor chip cross at right angles.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by exposing the external polar zone of a base material to the exterior of a bonnet and said closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[Claim 4] The process which is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of said 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of said 1st semiconductor chip, and the internal electrode section of said base material with a metal thin line, The process which arranges the rear face of said 2nd semiconductor chip so that the front face of said 1st semiconductor chip may be faced in a location higher than the topmost part of said metal thin line, and fixes between the rear face of said 2nd semiconductor chip, and the front faces of said 1st semiconductor chip with insulating adhesives, The process which connects electrically the electrode of the front face of said 2nd semiconductor chip, and the internal electrode section of said base material, The manufacture approach of the semiconductor device characterized by including the process which forms closure resin so that the external polar zone of said base material may expose said the 1st semiconductor chip and said 2nd semiconductor chip to a bonnet and the exterior.

[Claim 5] It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of said 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of said 1st semiconductor chip and the polar zone of said base material are connected with a metal thin line. The rear face of said 2nd semiconductor chip so that facing each other and said 2nd semiconductor chip may lap with said some of metal wiring [ at least ] on the front face of said 1st semiconductor chip in a location higher than the topmost part of said metal thin line The semiconductor device characterized by having arranged, having fixed between the rear face of said 2nd semiconductor chip, and the front faces of said 1st semiconductor chip with insulating adhesives, and connecting electrically the electrode of the front

face of said 2nd semiconductor chip, and the polar zone of said base material.

[Claim 6] The semiconductor device according to claim 5 characterized by exposing the external polar zone of said base material to the exterior of a bonnet and said closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[Claim 7] The process which is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of said 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of said 1st semiconductor chip, and the internal electrode section of said base material with a metal thin line, The rear face of said 2nd semiconductor chip so that facing each other and said 2nd semiconductor chip may lap with said some of metal wiring [ at least ] on the front face of said 1st semiconductor chip in a location higher than the topmost part of said metal thin line The process which arranges and fixes between the rear face of said 2nd semiconductor chip, and the front faces of said 1st semiconductor chip with insulating adhesives, The process which connects electrically the electrode of the front face of said 2nd semiconductor chip, and the internal electrode section of said base material, The manufacture approach of the semiconductor device characterized by including the process which forms closure resin so that the external polar zone of said base material may expose said the 1st semiconductor chip and said 2nd semiconductor chip to a bonnet and the exterior.

[Claim 8] The semiconductor device according to claim 1, 2, 3, 5, or 6 characterized by forming insulating adhesives in all of the fields where said the 1st semiconductor chip and said 2nd semiconductor chip overlap at least.

[Claim 9] The manufacture approach of the semiconductor device according to claim 4 or 7 characterized by forming insulating adhesives in all of the fields where said the 1st semiconductor chip and said 2nd semiconductor chip overlap at least.

[Claim 10] It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of said 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of said 1st semiconductor chip and the polar zone of said base material are connected with a metal thin line. The rear face of said 2nd semiconductor chip so that facing each other and said 2nd semiconductor chip may lap with said some of metal wiring [ at least ] on the front face of said 1st semiconductor chip in a location higher than the topmost part of said metal thin line Between the rear face of said 2nd semiconductor chip and the component installation sections of said base material is fixed with the insulating adhesives formed so that it may arrange and some [ at least ] side faces of said 1st semiconductor chip may be covered. The semiconductor device characterized by connecting electrically the electrode of the front face of said 2nd semiconductor chip, and the polar zone of said base material.

[Claim 11] The semiconductor device according to claim 10 characterized by exposing the external polar zone of a base material to the exterior of a bonnet and said closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[Claim 12] The process which is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of said 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of said 1st semiconductor chip, and the internal electrode section of said base material with a metal thin line, The rear face of said 2nd semiconductor chip so that facing each other and said 2nd semiconductor chip may lap with said some of metal wiring [ at least ] on the front face of said 1st semiconductor chip in a location higher than the topmost part of said metal thin line The process which fixes between the rear face of said 2nd semiconductor chip, and the component installation sections of said base material with the insulating adhesives formed so that it may arrange and some [ at least ] side faces of said 1st semiconductor chip may be covered, The process which connects electrically the electrode of the front face of said 2nd semiconductor chip, and

the internal electrode section of said base material, The manufacture approach of the semiconductor device characterized by including the process which forms closure resin so that the external polar zone of said base material may expose said the 1st semiconductor chip and said 2nd semiconductor chip to a bonnet and the exterior.

[Claim 13] The leadframe which has the lead used as an inner lead and an outer lead and a die pad is used. It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the front face of said 1st semiconductor chip on the underside of said die pad, and said the 1st surface electrode and said surface inner lead of a semiconductor chip are connected with a metal thin line. Arrange the rear face of said 2nd semiconductor chip so that facing each other and said 2nd semiconductor chip may lap with said some of metal wiring [ at least ] on the front face of said 1st semiconductor chip through said die pad, and the rear face of said 2nd semiconductor chip is fixed on the top face of said die pad. The semiconductor device characterized by having connected electrically said the 2nd surface electrode and said surface inner lead of a semiconductor chip, and exposing said outer lead to the exterior of a bonnet and said closure resin for said the 1st semiconductor chip and said 2nd semiconductor chip by closure resin.

[Claim 14] A die pad is the semiconductor device according to claim 13 characterized by to have the 1st chip fixing section which fixes the 1st semiconductor chip on the underside, the 2nd chip fixing section which fixes the 2nd semiconductor chip on the top face, and the connection section which connected said 1st chip fixing section and said 2nd chip fixing section so that said 1st chip fixing section might be caudad located from said 2nd chip fixing section.

[Claim 15] The leadframe which has the lead used as an inner lead and an outer lead is used. It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. The inner lead arranged so that it may lap with the periphery of the front face of said 1st semiconductor chip is fixed through an insulating tape on the front face of said 1st semiconductor chip. Said the 1st surface electrode and said surface inner lead of a semiconductor chip are connected with a metal thin line. Said the 1st front face and said metal thin line of a semiconductor chip by insulating resin A bonnet, Install said 2nd semiconductor chip on said insulating resin, and said the 2nd surface electrode and said surface inner lead of a semiconductor chip are connected electrically. The semiconductor device characterized by exposing said outer lead to the exterior of a bonnet and said closure resin for said the 1st semiconductor chip and said 2nd semiconductor chip by closure resin.

[Claim 16] An outer lead and the 1st inner lead which followed said outer lead, Between the die pad by which the down set was carried out from said 1st inner lead, and said die pad and said 1st inner lead The leadframe which has the 2nd inner lead by which the down set was carried out so that it might be arranged and might become a location on the same flat surface as said die pad or a coplanar twist from said 1st inner lead is used. While fixing the rear face of said 1st semiconductor chip on said die pad and connecting said the 1st surface electrode and said 2nd surface inner lead of a semiconductor chip with a metal thin line, said the 1st inner lead and said 2nd inner lead are connected with a metal thin line. Said 2nd semiconductor chip is fixed with insulating adhesives on the front face of said 1st semiconductor chip. The semiconductor device characterized by having connected said the 2nd surface electrode and said 1st surface inner lead of a semiconductor chip with metal wiring, and exposing said outer lead to the exterior of a bonnet and said closure resin for said the 1st semiconductor chip and said 2nd semiconductor chip by closure resin.

[Claim 17] The die pad which was the manufacture approach of a semiconductor device according to claim 16, hung and was held by lead when producing a leadframe, An outer lead and the 1st inner lead which followed said outer lead, The process which forms the unfinished product of said leadframe in which the 2nd inner lead which has been arranged between said die pad and said 1st inner lead, and was connected with said die pad was prepared, The process which holds said die pad for said 2nd inner lead and which hangs, sticks a lead as an edge and fixes on a tape, The manufacture approach of the semiconductor device characterized by including the process which separates a part for the connection

of said 2nd inner lead and said die pad, and the process which carries out the down set of said die pad section and 2nd inner lead which were separated from said 1st inner lead.

[Claim 18] An outer lead and the inner lead by which the down set of the point was continuously carried out with said outer lead, The leadframe by which the down set was carried out so that it might have the die pad by which the down set was carried out from said inner lead except said point and the point of said inner lead might become a location on the same flat surface as said die pad or a coplanar twist is used. Fix the rear face of said 1st semiconductor chip on said die pad, and the point by which the down set of the electrode of the front face of said 1st semiconductor chip and said inner lead was carried out is connected with a metal thin line. Said 2nd semiconductor chip is fixed with insulating adhesives on the front face of said 1st semiconductor chip. A lateral part is connected with metal wiring from the point by which the down set of the electrode of the front face of said 2nd semiconductor chip and said inner lead was carried out. The semiconductor device characterized by exposing said outer lead to the exterior of a bonnet and said closure resin for said the 1st semiconductor chip and said 2nd semiconductor chip by closure resin.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which carried out the laminating of the semiconductor chip, and its manufacture approach.

[0002]

[Description of the Prior Art] In order to attain low-cost-izing and a miniaturization of an LSI semiconductor device in recent years, the multi chip package which carries out three-dimension mounting of the LSI chip formed of LSI which has a mutually different function, or a mutually different process is proposed.

[0003] It explains referring to drawing 1212 as a conventional example hereafter about multichip PAKEJI shown by JP,1-235363,A.

[0004] First, as shown in drawing 12 , die bond of 1st LSI chip 53 is carried out to the die pad 51 of a leadframe, and the electrode 55 is connected with the inner lead 52 by the bonding wire 57. Die bond of 2nd LSI chip 54 is carried out to the front face of 1st LSI chip 53 by insulating resin etc., an inner lead 52 is connected with the external electrode 56 by the bonding wire 58, and packaging is carried out by transfermold.

[0005] The manufacture approach of this conventional multi chip package is explained. First, die bond of 1st LSI chip 53, such as logic and memory, is carried out to the die pad 51 of a leadframe by die bond resin 61, such as conductive resin. Next, die bond of 2nd LSI chip 54 is carried out to the front face of

1st LSI chip 53 by die bond resin 62, such as insulating resin. Next, an inner lead 52 is electrically connected with the external electrodes 55 and 56 of 1st and 2nd LSI chips 53 and 54 in wirebonding. Next, closure resin 59 is formed by transfermold etc. and packaging is carried out.

[0006] After carrying out die bond of 1st and 2nd LSI chips 53 and 54 according to this conventional configuration and conventional manufacture approach In order to perform wirebonding, and to make wirebonding of 1st LSI chip 53 possible, the size of 2nd LSI chip 54 The external electrode 55 of 1st LSI chip 53 is not started at the time of die bond, but it is required for die bond resin 62 not to cover the electrode 55 of a flash and 1st LSI chip 53, and 2nd LSI chip 54 is limited to a sufficiently small thing compared with 1st LSI chip 53.

[0007]

[Problem(s) to be Solved by the Invention] According to the multi chip package by the above-mentioned conventional three-dimension mounting, since the size of 2nd LSI chip 54 located in the upside by which three-dimension mounting was carried out needs to make it sufficiently small compared with the size of 1st lower LSI chip 53, its applicability which the combination of two chips can suit is narrow. Especially when applying a memory chip to the chip of one side, in the case of a memory chip, in two sides (a long side and shorter side) with which are a rectangle with a large aspect ratio and sides and a square cross at right angles, a long side is large to two sides of another chip, and a shorter side serves as a small combination, many cases for which application to three-dimension mounting is improper are generated, and it is usually the narrow configuration of applicability.

[0008] The object of this invention is offering the semiconductor device which can take the large applicability of the combination of the chip size which can be carried, and its manufacture approach in the semiconductor device which carries out the laminating of the two chips and carries them.

[0009]

[Means for Solving the Problem] A semiconductor device according to claim 1 is a semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of the 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of the 1st semiconductor chip and the polar zone of a base material are connected with a metal thin line. Arrange the rear face of the 2nd semiconductor chip so that the front face of the 1st semiconductor chip may be faced in a location higher than the topmost part of a metal thin line, and between the rear face of the 2nd semiconductor chip and the front faces of the 1st semiconductor chip is fixed with insulating adhesives. It is characterized by connecting electrically the electrode of the front face of the 2nd semiconductor chip, and the polar zone of a base material.

[0010] It is characterized by at least one of two sides sides and the flat-surface configuration of the 2nd semiconductor chip cross at right angles in a semiconductor device according to claim 1 being larger than two sides sides and the flat-surface configuration of the 1st semiconductor chip cross at right angles as for a semiconductor device according to claim 2.

[0011] A semiconductor device according to claim 3 is characterized by exposing the external polar zone of a base material to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin in a semiconductor device according to claim 1 or 2.

[0012] The process which the manufacture approach of a semiconductor device according to claim 4 is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of the 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of the 1st semiconductor chip, and the internal electrode section of a base material with a metal thin line, The process which arranges the rear face of the 2nd semiconductor chip so that the front face of the 1st semiconductor chip may be faced in a location higher than the topmost part of a metal thin line, and fixes between the rear face of the 2nd semiconductor chip, and the front faces of the 1st semiconductor chip with insulating adhesives, It is characterized by including the process which connects electrically the electrode of the front face of the 2nd semiconductor chip, and the internal

electrode section of a base material, and the process which forms closure resin so that the external polar zone of a base material may expose the 1st semiconductor chip and 2nd semiconductor chip to a bonnet and the exterior.

[0013] According to invention of claims 1-4, with the insulating adhesives which fix the 1st semiconductor chip and 2nd semiconductor chip By making the rear face of the 2nd upper semiconductor chip into a location higher than the topmost part of the metal thin line connected to the electrode of the 1st lower semiconductor chip The metal thin line by which the 2nd semiconductor chip was connected to the electrode of the 1st semiconductor chip is not contacted, constraint of the chip size of the 1st and 2nd semiconductor chips is lost, and applicability of the combination of the chip size which can be carried can be made large.

[0014] A semiconductor device according to claim 5 is a semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of the 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of the 1st semiconductor chip and the polar zone of a base material are connected with a metal thin line. The rear face of the 2nd semiconductor chip so that facing each other and the 2nd semiconductor chip may lap with some metal wiring [ at least ] on the front face of the 1st semiconductor chip in a location higher than the topmost part of a metal thin line It arranges, between the rear face of the 2nd semiconductor chip and the front faces of the 1st semiconductor chip is fixed with insulating adhesives, and it is characterized by connecting electrically the electrode of the front face of the 2nd semiconductor chip, and the polar zone of a base material.

[0015] A semiconductor device according to claim 6 is characterized by exposing the external polar zone of a base material to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin in a semiconductor device according to claim 5.

[0016] The process which the manufacture approach of a semiconductor device according to claim 7 is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of the 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of the 1st semiconductor chip, and the internal electrode section of a base material with a metal thin line, The rear face of the 2nd semiconductor chip so that facing each other and the 2nd semiconductor chip may lap with some metal wiring [ at least ] on the front face of the 1st semiconductor chip in a location higher than the topmost part of a metal thin line The process which arranges and fixes between the rear face of the 2nd semiconductor chip, and the front faces of the 1st semiconductor chip with insulating adhesives, It is characterized by including the process which connects electrically the electrode of the front face of the 2nd semiconductor chip, and the internal electrode section of a base material, and the process which forms closure resin so that the external polar zone of a base material may expose the 1st semiconductor chip and 2nd semiconductor chip to a bonnet and the exterior.

[0017] According to invention of claims 5-7, with the insulating adhesives which fix the 1st semiconductor chip and 2nd semiconductor chip By making the rear face of the 2nd upper semiconductor chip into a location higher than the topmost part of the metal thin line connected to the electrode of the 1st lower semiconductor chip The metal thin line by which the 2nd semiconductor chip was connected to the electrode of the 1st semiconductor chip is not contacted, constraint of the chip size of the 1st and 2nd semiconductor chips is lost, and applicability of the combination of the chip size which can be carried can be made large.

[0018] A semiconductor device according to claim 8 is characterized by forming insulating adhesives in all of the fields where the 1st semiconductor chip and 2nd semiconductor chip overlap at least in a semiconductor device according to claim 1, 2, 3, 5, or 6.

[0019] The manufacture approach of a semiconductor device according to claim 9 is characterized by forming insulating adhesives in all of the fields where the 1st semiconductor chip and 2nd semiconductor

chip overlap at least in the manufacture approach of a semiconductor device according to claim 4 or 7.  
[0020] While according to invention of claims 8 and 9 being fixed in a large field and making electrical installation of the electrode of the 2nd semiconductor chip as for the 2nd semiconductor chip to fitness more, what has a big chip size can be used for the 2nd semiconductor chip.

[0021] A semiconductor device according to claim 10 is a semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the rear face of the 1st semiconductor chip in the component installation section of a base material, and the electrode of the front face of the 1st semiconductor chip and the polar zone of a base material are connected with a metal thin line. The rear face of the 2nd semiconductor chip so that facing each other and the 2nd semiconductor chip may lap with some metal wiring [ at least ] on the front face of the 1st semiconductor chip in a location higher than the topmost part of a metal thin line. Between the rear face of the 2nd semiconductor chip and the component installation sections of a base material is fixed with the insulating adhesives formed so that it may arrange and some [ at least ] side faces of the 1st semiconductor chip may be covered, and it is characterized by connecting electrically the electrode of the front face of the 2nd semiconductor chip, and the polar zone of a base material.

[0022] A semiconductor device according to claim 11 is characterized by exposing the external polar zone of a base material to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin in a semiconductor device according to claim 10.

[0023] The process which the manufacture approach of a semiconductor device according to claim 12 is the manufacture approach of a semiconductor device that the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip, and fixes the rear face of the 1st semiconductor chip in the component installation section of a base material, The process which connects the electrode of the front face of the 1st semiconductor chip, and the internal electrode section of a base material with a metal thin line, The rear face of the 2nd semiconductor chip so that facing each other and the 2nd semiconductor chip may lap with some metal wiring [ at least ] on the front face of the 1st semiconductor chip in a location higher than the topmost part of a metal thin line. The process which fixes between the rear face of the 2nd semiconductor chip, and the component installation sections of a base material with the insulating adhesives formed so that it may arrange and some [ at least ] side faces of the 1st semiconductor chip may be covered, It is characterized by including the process which connects electrically the electrode of the front face of the 2nd semiconductor chip, and the internal electrode section of a base material, and the process which forms closure resin so that the external polar zone of a base material may expose the 1st semiconductor chip and 2nd semiconductor chip to a bonnet and the exterior.

[0024] According to invention of claims 10-12, with the insulating adhesives which fix the 2nd semiconductor chip. By making the rear face of the 2nd upper semiconductor chip into a location higher than the topmost part of the metal thin line connected to the electrode of the 1st lower semiconductor chip. The metal thin line by which the 2nd semiconductor chip was connected to the electrode of the 1st semiconductor chip is not contacted, constraint of the chip size of the 1st and 2nd semiconductor chips is lost, and applicability of the combination of the chip size which can be carried can be made large. Furthermore, while being fixed in the large field of the whole rear-face surface and making electrical installation of the electrode of the 2nd semiconductor chip as for the 2nd semiconductor chip to fitness more, a bigger thing than that of a chip size can be used for the 2nd semiconductor chip.

[0025] The leadframe which has the lead used as an inner lead and an outer lead and a die pad is used for a semiconductor device according to claim 13. It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. Fix the front face of the 1st semiconductor chip on the underside of a die pad, and the 1st surface electrode and surface inner lead of a semiconductor chip are connected with a metal thin line. Arrange the rear face of the 2nd semiconductor chip so that facing each other and the 2nd semiconductor chip may lap with some metal wiring [ at least ] on the front face of the 1st semiconductor chip through a die pad, and the rear

face of the 2nd semiconductor chip is fixed on the top face of a die pad. The 2nd surface electrode and surface inner lead of a semiconductor chip are connected electrically, and it is characterized by exposing an outer lead to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[0026] Since the 2nd semiconductor chip is prepared through the die pad on the 1st semiconductor chip according to invention of claim 13, By making lower than the thickness of a die pad the height of the topmost part of the metal thin line connected to the electrode of the 1st lower semiconductor chip The metal thin line by which the 2nd semiconductor chip was connected to the electrode of the 1st semiconductor chip is not contacted, constraint of the chip size of the 1st and 2nd semiconductor chips is lost, and applicability of the combination of the chip size which can be carried can be made large.

[0027] A semiconductor device according to claim 14 is set to a semiconductor device according to claim 13. A die pad The 1st chip fixing section which fixes the 1st semiconductor chip on the underside, and the 2nd chip fixing section which fixes the 2nd semiconductor chip on the top face, It is characterized by having the connection section which connected the 1st chip fixing section and the 2nd chip fixing section so that the 1st chip fixing section might be caudad located from the 2nd chip fixing section.

[0028] In addition to the effectiveness of claim 13, by constituting a die pad in three dimensions, thickness of a die pad can be made thicker, the clearance of the metal thin line connected to the electrode of the 1st semiconductor chip is eased, and, according to invention of claim 14, the applicability of a chip size spreads more.

[0029] The leadframe which has the lead used as an inner lead and an outer lead is used for a semiconductor device according to claim 15. It is the semiconductor device with which the 2nd semiconductor chip was carried in the upper part of the 1st semiconductor chip. The inner lead arranged so that it may lap with the periphery of the front face of the 1st semiconductor chip is fixed through an insulating tape on the front face of the 1st semiconductor chip. The 1st surface electrode and surface inner lead of a semiconductor chip are connected with a metal thin line. Install the 1st front face and metal thin line of a semiconductor chip in a bonnet, and the 2nd semiconductor chip is installed on insulating resin by insulating resin. The 2nd surface electrode and surface inner lead of a semiconductor chip are connected electrically, and it is characterized by exposing an outer lead to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[0030] According to invention of claim 15, the metal thin line connected to the electrode of the front face of the 1st semiconductor chip, and the front face of the 1st semiconductor chip by installing the 2nd semiconductor chip on a bonnet and its insulating resin by insulating resin The metal thin line by which the 2nd semiconductor chip was connected to the electrode of the 1st semiconductor chip is not contacted, constraint of the chip size of the 1st and 2nd semiconductor chips is lost, and applicability of the combination of the chip size which can be carried can be made large.

[0031] The 1st inner lead by which the semiconductor device according to claim 16 followed the outer lead and the outer lead, Between the die pad by which the down set was carried out from the 1st inner lead, and a die pad and the 1st inner lead The leadframe which has the 2nd inner lead by which the down set was carried out so that it might be arranged and might become a location on the same flat surface as a die pad or a coplanar twist from the 1st inner lead is used. While fixing the rear face of the 1st semiconductor chip on a die pad and connecting the 1st surface electrode and 2nd surface inner lead of a semiconductor chip with a metal thin line, the 1st inner lead and 2nd inner lead are connected with a metal thin line. The 2nd semiconductor chip is fixed with insulating adhesives on the front face of the 1st semiconductor chip. It is characterized by having connected the 2nd surface electrode and 1st surface inner lead of a semiconductor chip with metal wiring, and exposing an outer lead to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin.

[0032] According to invention of claim 16, the metal thin line linked to the 1st semiconductor chip and

2nd semiconductor chip does not cross by having used the above-mentioned leadframe. Moreover, the large applicability of the combination of the size of two chips can be taken by forming the electrode of the 1st semiconductor chip only in the two-side 1 set of the chip configuration (square) side which counter.

[0033] The die pad which the manufacture approach of a semiconductor device according to claim 17 was the manufacture approach of a semiconductor device according to claim 16, and hung and was held by lead when producing a leadframe, An outer lead and the 1st inner lead which followed the outer lead, The process which forms the unfinished product of the leadframe in which the 2nd inner lead which has been arranged between a die pad and the 1st inner lead, and was connected with the die pad was prepared, The process which holds a die pad for the 2nd inner lead and which hangs, sticks a lead as an edge and fixes on a tape, It is characterized by including the process which separates a part for the connection of the 2nd inner lead and a die pad, and the process which carries out the down set of the die pad section and the 2nd inner lead which were separated from the 1st inner lead.

[0034] The leadframe used for a semiconductor device according to claim 16 is producible with invention of claim 17.

[0035] The inner lead by which, as for the semiconductor device according to claim 18, the down set of the point was continuously carried out with the outer lead and the outer lead, The leadframe by which the down set was carried out so that it might have the die pad by which the down set was carried out from the inner lead except a point and the point of an inner lead might become a location on the same flat surface as a die pad or a coplanar twist is used. Fix the rear face of the 1st semiconductor chip on a die pad, and the point by which the down set of the electrode of the front face of the 1st semiconductor chip and the inner lead was carried out is connected with a metal thin line. The 2nd semiconductor chip is fixed with insulating adhesives on the front face of the 1st semiconductor chip. It is characterized by having connected the lateral part with metal wiring and exposing an outer lead to the exterior of a bonnet and closure resin for the 1st semiconductor chip and 2nd semiconductor chip by closure resin from the point by which the down set of the electrode of the front face of the 2nd semiconductor chip and the inner lead was carried out.

[0036] According to invention of claim 18, the metal thin line linked to the 1st semiconductor chip and 2nd semiconductor chip does not cross by having used the above-mentioned leadframe. Moreover, the large applicability of the combination of the size of two chips can be taken by forming the electrode of the 1st semiconductor chip only in the two-side 1 set of the chip configuration (square) side which counter.

[0037]

[Embodiment of the Invention] It explains referring to a drawing hereafter about the multi chip package (it is described as Following MCP) which is a semiconductor device in the gestalt of operation of this invention.

[0038] [ -- gestalt [ of the 1st operation ]: -- claims 1-7 (especially claims 6 and 7) -- response] -- drawing 1 shows the order sectional view of a process of the manufacture approach of MCP in the gestalt of operation of the 1st of this invention. In drawing 1 1 The inner lead of a leadframe (base material) (polar zone, internal polar zone), The die pad (component installation section) of a leadframe and 3 2 The 1st LSI chip (the 1st semiconductor chip), The bonding wire by which 4 connects the electrode of the 1st LSI chip and 5 connects an inner lead 1 with the electrode 4 of the 1st LSI chip (metal thin line), The 2nd LSI chip (the 2nd semiconductor chip) and 7 6 The electrode of the 2nd LSI chip, The bonding wire by which 8 connects insulating resin (insulating adhesives) and 9 connects an inner lead 1 with the electrode 7 of the 2nd LSI chip, and 10 show closure resin, and 11 shows the outer lead (external polar zone) of a leadframe. Moreover, drawing 4 is the top view showing the example of a configuration (size) of 1st LSI chip 3 and 2nd LSI chip 6.

[0039] First, the manufacture approach of MCP in the gestalt of this operation carries out die bond of 1st LSI chip 3 to the die pad 2 of a leadframe, as shown in drawing 1 (a). The construction material of a

leadframe is 42 alloys, Cu, etc., and thickness is about 0.15mm. The die pad 2 performs press working of sheet metal beforehand so that it may become the location lowered from the location of the inner lead 1 of a leadframe from the objects, such as making good floating of the resin in the transfermold process performed behind, and making thickness of a package thin. At a die bond process, although the graphic display has not been carried out, it hardens resin with heating using conductive or insulating epoxy or the resin of a polyimide system, and fixes 1st LSI chip 3. And an inner lead 1 is connected with the electrode 4 of 1st LSI chip 3 by the bonding wire 5. It is the same as that of the method of the path of a bonding wire 5, construction material, or wirebonding, therefore the below-mentioned bonding wire 9. [0040] Next, as shown in drawing 1 (b), insulating resin 8 is used for the front face of 1st LSI chip 2, and the rear face of 2nd LSI chip 6 is fixed. At this time, the thickness of insulating resin 8 is set up so that the rear face of 2nd LSI chip 6 may become a location higher than the topmost part of the bonding wire 5 of 1st LSI chip 3. Usually, the loop-formation height of a bonding wire 5 is 50 micrometers – about 200 micrometers, and the thickness of insulating resin 8 is set as 55 micrometers – about 300 micrometers. The construction material of insulating resin 8 is liquefied epoxy, polyimide, an acrylic, etc., and after forming in the front face of 1st LSI chip 3 by the dispensing method, the \*\*\*\*\*ing method, etc., it is hardened by installing and heating 2nd LSI chip 6. What was made into the shape of a solid not only on the shape of liquid but on B stage, an insulating film, the film with which adhesion material was formed in both sides or a thermoplastic film, etc. can be used for the description of insulating resin 8. Since the formation field of insulating resin 8 here is made into the field inside the electrode 4 section of 1st LSI chip 3 and can use a film type thing for insulating resin 8 in this case, its workability improves and it can hold down cost low.

[0041] next, drawing 1 -- as shown in </A (c)>, the 2nd electrode 7 and inner lead 1 of LSI chip 6 are electrically connected by connecting by the bonding wire 9 by wirebonding. A bonding wire 9 is usually a 18 micrometers – about 30 micrometers diameter, construction material is Au, Cu, aluminum, etc. and that by which the insulating sex skin film was formed in the front face of a bonding wire 9 can also be used for it. The ball bonding by ultrasonic thermocompression bonding and wedge bonding are used for the method of wirebonding. Although the part of the rear face in which the electrode 7 of 2nd LSI chip 6 is located is not being fixed by insulating resin 8 at this time, if the distance to the location where a bonding wire 9 is connected from the edge of the formation field of the insulating resin 8 which is that part that is not being fixed is to about 2mm, it is the rigidity of 2nd LSI chip 6, and the load at the time of wirebonding can be borne enough, and wirebonding nature can be secured enough. Moreover, wirebonding of 2nd LSI chip 6 can be easily performed by considering as the configuration shown in below-mentioned drawing 2 and drawing 3 .

[0042] Next, as shown in drawing 1 (d), by transfermold, closure resin 10 is formed, an outer lead 11 is formed after that, and MCP is completed.

[0043] As shown in this drawing 1 (d), MCP of the gestalt of this operation forms thick insulating resin 8 in the front face of 1st LSI chip 2, and since it makes the rear face of 2nd LSI chip 6 the location higher than the topmost part of the bonding wire 5 which connects 1st LSI chip 3, it does not contact the bonding wire 5 by which 2nd LSI chip 6 was connected to 1st LSI chip 3. Although the size of two LSI chips to accumulate needed to make the upper LSI chip in the former smaller than a lower LSI chip Since insulating resin 8 is thickly formed with the gestalt of this operation so that it may become higher than the loop-formation high (topmost part) of the bonding wire 5 of 1st LSI chip 3 so that clearly also from drawing 1 , As shown in drawing 4 , even if at least one of two sides sides and the flat-surface configuration of 2nd upper LSI chip 6 cross at right angles is larger than two sides sides and the flat-surface configuration of 1st LSI chip 3 cross at right angles, a laminating can be carried out without damaging a bonding wire 5. Therefore, constraint of the size of two LSI chips 3 and 6 is lessened, and the applicability of the combination of the size of two LSI chips 3 and 6 is wide, and becomes the high thing of versatility.

[0044] In addition, although it is arranged with the gestalt of this operation so that 2nd upper LSI chip 6

may lap with a part of bonding wire 5 connected to 1st lower LSI chip 3 since it is the case where the size (flat-surface configuration) of 1st and 2nd LSI chip 3 and 6 is shown in drawing 4. The size of 2nd LSI chip 6 is small, and when arranged inside the electrode 4 of 1st LSI chip 3, it cannot be overemphasized that 2nd LSI chip 6 does not lap with the bonding wire 5 connected to 1st LSI chip 3. [0045] [ -- gestalt [ of the 2nd operation ]: -- claims 1-9 (especially claims 8 and 9) -- response] -- drawing 2 is the sectional view of MCP in the gestalt of operation of the 2nd of this invention, gives the same sign to drawing 1 and a corresponding part, and omits the explanation.

[0046] The formation field of insulating resin 8 is made into the whole surface surface of 1st LSI chip 3 with the gestalt of the 2nd operation shown in this drawing 2. Other configurations and manufacture approaches are the same as that of the gestalt of the 1st operation. According to the gestalt of this 2nd operation, even if the field where 2nd LSI chip 6 is fixed by insulating resin 8 enlarges size of breadth and 2nd LSI chip 6 which carries out a laminating compared with the gestalt of the 1st operation compared with the gestalt of the 1st operation, wirebonding to 2nd LSI chip 6 can be performed easily.

[0047] In order to form insulating resin 8 all over the front face of 1st LSI chip 3 in the case of the gestalt of this 2nd operation, insulating resin 8 will be formed in all of the fields where the 1st LSI chip 3 and 2nd LSI chip 6 overlap at least.

[0048] [ -- gestalt [ of the 3rd operation ]: -- claims 1-12 (especially claims 10-12) -- response] -- drawing 3 is the sectional view of MCP in the gestalt of operation of the 3rd of this invention, gives the same sign to drawing 1 and a corresponding part, and omits the explanation.

[0049] With the gestalt of the 3rd operation shown in this drawing 3, size (flat-surface configuration) of the die pad 2 of a leadframe is made almost equivalent to the size (flat-surface configuration) of 2nd LSI chip 6. The formation field of the insulating resin 8 which fixes 2nd LSI chip 6 is made into the field from the whole rear-face surface of 2nd LSI chip 6 to the front face of 1st LSI chip 4 and a die pad 2, and other configurations and manufacture approaches are the same as that of the gestalt of the 1st operation. If it is this configuration, since the rear face corresponding to the location of the electrode 7 of 2nd LSI chip 6 is being fixed by insulating resin 8, the wirebonding nature to 2nd LSI chip 6 improves, rather than the gestalt of the 1st operation, and the gestalt of the 2nd operation, the size difference of 1st LSI chip 3 and 2nd LSI chip 6 can be enlarged, and applicability can be extended further.

[0050] Since insulating resin 8 is formed in the bottom of the whole rear-face surface of 2nd LSI chip 6 in the case of the gestalt of this 3rd operation, as shown in drawing 3, to say nothing of insulating resin 8 being formed in all of the fields where the 1st LSI chip 3 and 2nd LSI chip 6 overlap, insulating resin 8 will be formed in some [ at least ] side faces of 1st LSI chip 3.

[0051] With the above-mentioned gestalt of the 1st - the 3rd operation, although packaging showed the case of QFP by the resin seal, or SOP, the package of CSP or BGA using a carrier is sufficient as it. The case of the package of this CSP and BGA is shown in drawing 5. (a) of drawing 5, (b), and (c) correspond to the gestalt of the 1st, the 2nd, and the 3rd operation, respectively. In drawing 5, 31 is a wiring substrate (base material) called a carrier, copper wiring of this wiring substrate 31 was carried out at the insulating substrate of two or more layers which generally consists of a ceramic or an epoxy resin, and package size usually turns into size of a carrier (wiring substrate 31). 32 and 33 are the polar zone of the wiring substrate 31, the polar zone 32 is connected to the electrode 4 of 1st LSI chip 3, and the polar zone 33 is connected to the electrode 7 of 2nd LSI chip 6. In addition, the component installation section of a base material is the part in which 1st LSI chip 3 was laid on the wiring substrate 31 in drawing 5 (a) and (b), and when it is drawing 5 R> 5 (c), it is a part in which the part and the insulating resin 8 with which 1st LSI chip 3 was laid on the wiring substrate 31 are formed.

[0052] [ -- gestalt [ of the 4th operation ]: -- claim 13 -- response] -- drawing 6 is the sectional view of MCP in the gestalt of operation of the 4th of this invention, and gives the same sign to drawing 1 and a corresponding part.

[0053] MCP of the gestalt of this operation does not fix the 1st LSI chip 3 and 2nd LSI chip 6 by thick insulating resin 8 like the gestalt of the 1st - the 3rd operation. The die pad 2 of a leadframe was put

between the 1st and 2nd LSI chip 3 and 6, the front face of 1st LSI chip 3 fixed on the underside of a die pad 2, and the rear face of 2nd LSI chip 6 has fixed on the top face of a die pad 2. And the height of the bonding wire 5 which has connected the 1st electrode 4 and inner lead 1 of LSI chip 3 is made lower than the thickness of a die pad 2.

[0054] The manufacture approach of MCP in the gestalt of this 4th operation carries out die bond of 1st LSI chip 3 to the underside of the die pad 2 of a leadframe first. The field and die pad size by which die bond is carried out at this time serve as the inside [ section / of 1st LSI chip 3 / electrode 4 ].

Although the graphic display has not been carried out, resin is hardened with heating using insulating epoxy or the resin of a polyimide system, and 1st LSI chip 3 is fixed. Next, an inner lead 1 is connected with the electrode 4 of 1st LSI chip 3 by the bonding wire 5 which is a metal thin line. The loop-formation height of the bonding wire 5 at this time must be lower than the thickness (80 micrometers – about 200 micrometers) of a die pad 2, and loop-formation height is 50 micrometers – about 100 micrometers. Then, die bond of the rear face of 2nd LSI chip 6 is carried out to the top face of a die pad 2, and an inner lead 1 is connected with the electrode 7 of 2nd LSI chip 6 by the bonding wire 9 which is a metal thin line. It fabricates by closure resin 10 so that only the outer lead 11 which is finally an external electrode may be exposed.

[0055] According to the gestalt of this operation, a die pad 2 is put by the 1st and 2nd LSI chip 3 and 6, assembly can be carried out regardless of the size of 2nd LSI chip 6 by making lower than the thickness of a die pad 2 the height of the bonding wire 5 which has connected the 1st electrode 4 and inner lead 1 of LSI chip 3, and the formation of a thin package 1mm or less of body thickness is attained. Therefore, constraint of the size of two LSI chips 3 and 6 is lessened, and applicability of the combination of the size of two LSI chips 3 and 6 can be made large, and thin equipment can be realized.

[0056] [ -- gestalt [ of the 5th operation ]: -- claim 14 -- response] -- it is the sectional view of MCP in the gestalt of operation of the 5th of this invention, and 2A is a solid mold die pad, in addition drawing 7 (a) gives the same sign to drawing 1 and a corresponding part. Moreover, drawing 7 (b) is the top view of solid mold die pad 2A.

[0057] MCP of the gestalt of this operation is replaced with the die pad 2 of drawing 6, it is a configuration using solid mold die pad 2A, and others are the same as that of drawing 6. 1st chip fixing section 2a to which 1st LSI chip 3 fixes solid mold die pad 2A on the underside, 2nd chip fixing section 2b which 2nd LSI chip 6 fixes on the top face, The leadframe is processed and formed so that it may have connection section 2c which connects 1st chip fixing section 2a and 2nd chip fixing section 2b so that 1st chip fixing section 2a may be located under the 2nd chip fixing section 2b.

[0058] The manufacture approach of MCP in the gestalt of this operation carries out die bond of 1st LSI chip 3 to the underside of 1st chip fixing section 2a of solid mold die pad 2A of a leadframe first. The size of the field by which die bond is carried out at this time, and 1st chip fixing section 2a serves as the inside [ section / of 1st LSI chip 3 / electrode 4 ]. Although the graphic display has not been carried out, resin is hardened with heating using insulating epoxy or the resin of a polyimide system, and 1st LSI chip 3 is fixed. Next, an inner lead 1 is connected with the electrode 4 of 1st LSI chip 3 by the bonding wire 5 which is a metal thin line. The loop-formation height of the bonding wire 5 at this time must be lower than the height (– about 300 micrometers) of solid mold die pad 2A, and loop-formation height is about –250micrometer. Then, die bond of the rear face of 2nd LSI chip 6 is carried out to the top face of 2nd chip fixing section 2b of solid mold die pad 2A, and an inner lead 1 is connected with the electrode 7 of 2nd LSI chip 6 by the bonding wire 9 which is a metal thin line. It fabricates by closure resin 10 so that only the outer lead 11 which is finally an external electrode may be exposed.

[0059] According to the gestalt of this operation, the clearance of the bonding wire 5 which is the metal thin line which was shown in drawing 6, and which is connected to the electrode 4 of 1st LSI chip 3 compared with the gestalt of the 4th operation is eased, the wiring to about 6mm of wire length becomes possible from diameter  $\phi$  of metal thin line 25micrometer by 30 micrometers, and the applicability of a chip size is improved by leaps and bounds.

[0060] [ -- gestalt [ of the 6th operation ]: -- claim 15 -- response] -- drawing 8 is the sectional view of MCP in the gestalt of operation of the 6th of this invention. In drawing 8 , 12 is the insulating tape of the double-sided adhesion which consists of insulating resin. In addition, the same sign is given to drawing 1 and a corresponding part.

[0061] MCP of the gestalt of this operation made the inner lead 1 overlap the front face of 1st LSI chip 3, fixed the inner lead 1 of an overlap part with the insulating tape 12 on the front face of 1st LSI chip 3, it formed insulating resin 8 so that the bonding wire 5 connected with the front face of 1st LSI chip 3 at 1st LSI chip 3 might be covered, and it has fixed 2nd LSI chip 6 on the insulating resin 8.

[0062] First, the manufacture approach of MCP in the gestalt of this operation fixes 1st LSI chip 3 to the underside of the inner lead 1 of a leadframe through an insulating tape 12, and connects an inner lead 1 with the electrode 4 of 1st LSI chip 3 by the bonding wire 5 which is a metal thin line. Then, it is insulating resin 8 and is a wrap about the front face of 1st LSI chip 3. At this time, it is a wrap in a bonding wire 5, the electrode 4 of 1st LSI chip 3, and a part of inner lead 1. Die bond of 2nd LSI chip 6 is carried out on insulating resin 8, and an inner lead 1 is connected with the electrode 7 of 2nd LSI chip 6 by the bonding wire 9 which is a metal thin line. It fabricates by closure resin 10 so that only the outer lead 11 which is finally an external electrode may be exposed.

[0063] By forming insulating resin 8 so that the bonding wire 5 connected with the front face of 1st LSI chip 3 at 1st LSI chip 3 may be covered according to the gestalt of this operation, and fixing 2nd LSI chip 6 on the insulating resin 8 2nd LSI chip 6 does not contact the bonding wire 5 connected to 1st LSI chip 3, constraint of the chip size of 1st and 2nd LSI chip 3 and 6 is lost, and applicability of the combination of the chip size which can be carried can be made large.

[0064] [ -- gestalt [ of the 7th operation ]: -- claims 16 and 17 -- response] -- the top view in front of the resin seal of MCP [ in / in drawing 9 (a) / the gestalt of operation of the 7th of this invention ], an A-A' sectional view [ in / in drawing 9 (b) / drawing 9 (a) ], and drawing 9 (c) are the B-B' sectional views in drawing 9 (a). Moreover, drawing 10 is the order top view of a process showing the production process of the leadframe used for MCP in the gestalt of operation of the 7th of this invention.

[0065] In drawing 9 and drawing 10 13 The 1st inner lead of a leadframe, The die pad of a leadframe and 15 14 The 2nd LSI chip (the 2nd semiconductor chip), The bonding wire to which 16 connects the electrode of 2nd LSI chip 15 to, and 17 connects 2nd LSI chip 15, The 1st LSI chip (the 1st semiconductor chip) and 19 18 The electrode of 1st LSI chip 18, The bonding wire to which 21 connects 1st LSI chip 18, the bonding wire by which 22 connects the 2nd inner lead 13 and 24a with the 1st, In 23, the 2nd inner lead of a leadframe and 24b show a small die pad, and, as for an insulating attachment tape and 24a, 25 shows IC chip.

[0066] The leadframe which has the 2nd inner lead 24a and small die pad 24b by which the down set was carried out so that it might be arranged between the die pad 14 by which the down set was carried out, and a die pad 14 and the 1st inner lead 13 and might become a location on the same flat surface as a die pad 14 from an outer lead (not shown), the 1st inner lead 13 which followed the outer lead, and the 1st inner lead 13 is used for MCP of the gestalt of this operation. Other configurations are replaced with and explained to the following manufacture approaches.

[0067] The manufacture approach of MCP in the gestalt of this operation carries out die bond of 1st LSI chip 18 to the die pad 14 by which the down set was carried out, installs 2nd LSI chip 15 on 1st LSI chip 18 next, and fixes. Although the graphic display has not been carried out at this time, between 2nd LSI chip 15 and 1st LSI chip 18, through insulating epoxy or the resin of a polyimide system, that resin is hardened with heating and it fixes. It gets mixed up with this and die bond also of the IC chip 25 is carried out to small die pad 24b. Next, the electrode 19 of 1st LSI chip 18 and 2nd inner lead 24a of a leadframe are connected by the bonding wire 21 which is a metal thin line, 2nd inner lead 24a and the 1st inner lead 13 are further connected by the bonding wire 22 which is a metal thin line, and the electrode 19 of the IC chip 25, the 1st inner lead 13, and 1st LSI chip 18 is connected by the bonding wire which is a metal thin line. Then, the 1st inner lead 13 is connected with the electrode 16 of 2nd LSI

chip 15 by the bonding wire 17. Closure resin (not shown) is formed so that only the outer lead which is finally an external electrode may be exposed.

[0068] According to the configuration of this drawing 9, the bonding wire of 1st LSI chip 18 and 2nd LSI chip 15 does not cross by having used the above-mentioned leadframe. Moreover, since the electrode 19 of 1st LSI chip 18 is formed only in the two-side 1 set of the chip configuration (square) side which counter, to the direction of a B-B' cross section of drawing 9, the large applicability of the combination of the size of two chips can be taken. Furthermore, it becomes possible to make the height of a die pad 14 higher than drawing 9, and to also make 2nd LSI chip 15 overlap on an inner lead 13.

[0069] Moreover, the leadframe used for the gestalt of this operation forms the leadframe (unfinished product) in which the die pad 14 was formed in the center section, the 1st inner lead 13 was formed in the perimeter, and the 2nd inner lead 24a and small die pad 24b which were connected from the die pad 14 between a die pad 14 and the 1st inner lead 13 were prepared, as first shown in drawing 10 (a). Next, as shown in drawing 10 R> 0 (b), the insulating attachment tape 23 is stuck on the underside of the 2nd inner lead 24a and small die pad 24b so that it may lap at the support lead (it hangs and leads) holding a die pad 14. Next, as shown in drawing 10 (c), the 2nd inner lead 24a and small die pad 24b are separated from a die pad 14 (the part which C of drawing 10 (a) separates is shown), and the down set section 26 is formed in a support lead so that a die pad 14, the 2nd inner lead 24a, and small die pad 24b may come below the 1st inner lead 13 after that.

[0070] Thus, the wire ring of MCP is easily made in locating 2nd inner lead 24a on the same flat surface as the die pad 14 by which the down set was carried out from the 1st inner lead 13. Moreover, it also becomes possible by preparing small die pad 24b in the field of 2nd inner lead 24a to carry the IC chip 25 ( drawing 9 ).

[0071] In addition, with the gestalt of this operation, although the 2nd inner lead 24a and small die pad 24b were located on the same flat surface as a die pad 14, if the down set has been carried out so that it may be located below the 1st inner lead 13, even if you make it located on a die pad 14 and a coplanar twist, the same effectiveness will be acquired. By preparing the down set section also between the attachment tape 23 of a support lead, and a die pad 14 in this case in addition to the down set section 26 of drawing 10 R> 0, it is above a die pad 14, and the 2nd inner lead 24a and small die pad 24b can be located below the 1st inner lead 13.

[0072] In addition, when the IC chip 25 does not need to be carried, it cannot be overemphasized that it is not necessary to prepare small die pad 24b.

[0073] [ -- gestalt [ of the 8th operation ]: -- claim 18 -- response] -- the top view in front of the resin seal of MCP [ in / in drawing 11 (a) / the gestalt of operation of the 8th of this invention ], an A-A' sectional view [ in / in drawing 11 (b) / drawing 11 (a) ], and drawing 11 (c) are the B-B' sectional views in drawing 11 (a). In drawing 11, 13a is the down set section for locating the point 13b downward in an inner lead 13, and gives the same sign to other drawing 9 R> 9 and a corresponding part.

[0074] The leadframe used for MCP of the gestalt of this operation has an outer lead (not shown), the inner lead 13 by which the down set of the point 13b was continuously carried out with the outer lead, and the die pad 14 by which the down set was carried out from the part except point 13b of an inner lead 13. The down set of the inner lead point 13b is carried out at the same flat-surface top as a die pad 14, or a coplanar twist upside, and the range of the height by which a down set is carried out is 100 to 400 micrometers. Other configurations of MCP are replaced with and explained to the following manufacture approaches.

[0075] The manufacture approach of MCP in the gestalt of this operation carries out die bond of 1st LSI chip 18 to the die pad 14 by which the down set was carried out, installs 2nd LSI chip 15 on 1st LSI chip 18 next, and fixes. Although the graphic display has not been carried out at this time, between 2nd LSI chip 15 and 1st LSI chip 18, through insulating epoxy or the resin of a polyimide system, that resin is hardened with heating and it fixes. Next, inner lead point 13b by which the down set was carried out with the electrode 19 of 1st LSI chip 18 is connected by the bonding wire 21 which is a metal thin line. It

connects by the bonding wire 17 which is a metal thin line outside the part by which the down set of the electrode 16 of 2nd LSI chip 15 and the inner lead 13 was furthermore carried out. Each bonding wire 21 and 17 connected to 1st and 2nd LSI chip 18 and 15 serves as the structure where it does not contact, in the height direction. Closure resin (not shown) is formed so that only the outer lead which is finally an external electrode may be exposed.

[0076] According to the configuration of this drawing 11 , the bonding wire of 1st LSI chip 18 and 2nd LSI chip 15 does not cross by having used the above-mentioned leadframe. Moreover, since the electrode 19 of 1st LSI chip 18 is formed only in the two-side 1 set of the chip configuration (square) side which counter, to the direction of a B-B' cross section of drawing 11 , the large applicability of the combination of the size of two chips can be taken. Furthermore, it becomes possible to make the height of a die pad 14 higher than drawing 11 , and to also make 2nd LSI chip 15 overlap on an inner lead 13. Furthermore, the height (part which crosses from the chip of two upper and lower sides) of a bonding wire becomes possible [ that it can wire in lower height ], and can apply to the thin package of 1mm or less of package body thickness.

[0077]

[Effect of the Invention] As mentioned above, since it is the structure which becomes a location higher than the metal thin line by which the rear face of the 2nd semiconductor chip of the upside which carries out a laminating was connected to the 1st lower semiconductor chip at the electrode according to this invention, there is no constraint of the size of two semiconductor chips to accumulate, and the applicability of MCP is wide and can offer small and the cheap high density, and the cheap highly efficient laminating mold semiconductor device of cost.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] The order sectional view of a process of the manufacture approach of the semiconductor device in the gestalt of operation of the 1st of this invention.

[Drawing 2] The sectional view of the semiconductor device in the gestalt of operation of the 2nd of this invention.

[Drawing 3] The sectional view of the semiconductor device in the gestalt of operation of the 3rd of this invention.

[Drawing 4] The top view showing the example of combination of the 1st LSI chip in the gestalt of operation of this invention, and the 2nd LSI chip.

[Drawing 5] The 1st of this invention, the 2nd, the sectional view of the semiconductor device in which other examples in the gestalt of the 3rd operation are shown.

[Drawing 6] The sectional view of the semiconductor device in the gestalt of operation of the 4th of this

invention.

[Drawing 7] The top view of the solid mold die pad used for the sectional view of a semiconductor device and it in the gestalt of operation of the 5th of this invention.

[Drawing 8] The sectional view of the semiconductor device in the gestalt of operation of the 6th of this invention.

[Drawing 9] The top view and sectional view of a semiconductor device in the gestalt of operation of the 7th of this invention.

[Drawing 10] The important section top view of the order of a process showing the manufacture approach of the leadframe used for the semiconductor device in the gestalt of operation of the 7th of this invention.

[Drawing 11] The top view and sectional view of a semiconductor device in the gestalt of operation of the 8th of this invention.

[Drawing 12] The sectional view of the conventional semiconductor device.

[Description of Notations]

1 Inner Lead of Leadframe

2 Die Pad of Leadframe

2A Solid mold die pad

2a The 1st chip fixing section of a solid mold die pad

2b The 2nd chip fixing section of a solid mold die pad

2c The connection section of a solid mold die pad

3 1st LSI Chip

4 Electrode of 1st LSI Chip

5 Bonding Wire Which Connects 1st LSI Chip

6 2nd LSI Chip

7 Electrode of 2nd LSI Chip

8 Insulating Resin

9 Bonding Wire Which Connects 2nd LSI Chip

10 Closure Resin

11 Outer Lead of Leadframe

12 Insulating Tape

13 Inner Lead of Leadframe (the 1st)

13a The down set section of an inner lead

13b The point of an inner lead

14 Die Pad

15 2nd LSI Chip

16 Electrode of 2nd LSI Chip

17 Bonding Wire Which Connects 2nd LSI Chip

18 1st LSI Chip

19 Electrode of 1st LSI Chip

21 Bonding Wire Which Connects 1st LSI Chip

22 Bonding Wire Which Connects 2nd Inner Lead with the 1st

23 Insulating Attachment Tape

24a The 2nd inner lead of a leadframe

24b Small die pad

25 IC Chip

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60657

(P2001-60657A)

(43) 公開日 平成13年3月6日(2001.3.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターマコード(参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z 5 F 0 6 7

25/07

23/50

T

25/18

23/50

審査請求 未請求 請求項の数18 O L (全 14 頁)

(21) 出願番号 特願平11-234904

(22) 出願日 平成11年8月23日(1999.8.23)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 藤本 博昭

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 小賀 彰

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

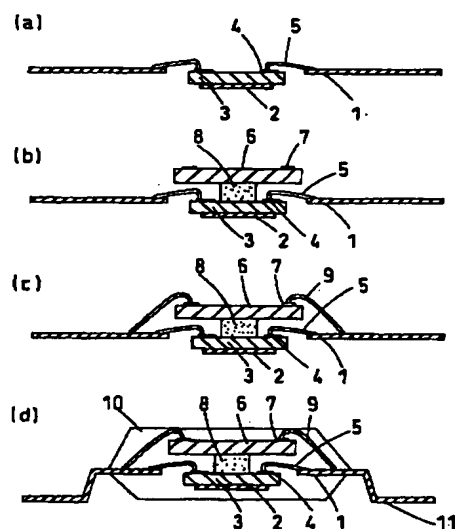
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 2つのチップを積層して搭載する半導体装置において、搭載可能なチップサイズの組み合わせの適用範囲を広くする。

【解決手段】 第1のLSIチップ2の表面に厚い絶縁性樹脂8を設け、第2のLSIチップ6の裏面を、第1のLSIチップ3を接続するボンディングワイヤ5の最上部より高い位置にしているため、第2のLSIチップ6が第1のLSIチップ3に接続されたボンディングワイヤ5と接触することがない。そのため、2つのLSIチップ3、6のサイズの制約を少なくし、2つのLSIチップ3、6のサイズの組み合わせの適用範囲が広くできる。



- 1 リードフレームのインナーリード
- 2 リードフレームのタイパッド
- 3 第1のLSIチップ
- 4 第1のLSIチップの電極
- 5 第1のLSIチップを接続するボンディングワイヤ
- 6 第2のLSIチップ
- 7 第2のLSIチップの電極
- 8 絶縁性樹脂
- 9 第2のLSIチップを接続するボンディングワイヤ
- 10 封止樹脂
- 11 リードフレームのアウターリード

(2)

1

## 【特許請求の範囲】

【請求項1】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着し、前記第1の半導体チップの表面の電極と前記支持体の電極部とを金属細線で接続し、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合うように配置して前記第2の半導体チップの裏面と前記第1の半導体チップの表面との間を絶縁性接着剤で固着し、前記第2の半導体チップの表面の電極と前記支持体の電極部とを電気的に接続したことを特徴とする半導体装置。

【請求項2】 第2の半導体チップの平面形状の直交する2辺のうち少なくとも1辺が、第1の半導体チップの平面形状の直交する2辺よりも大きいことを特徴とする請求項1記載の半導体装置。

【請求項3】 第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に支持体の外部電極部を露出したことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、前記第1の半導体チップの表面の電極と前記支持体の内部電極部とを金属細線で接続する工程と、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合うように配置して前記第2の半導体チップの裏面と前記第1の半導体チップの表面との間を絶縁性接着剤で固着する工程と、前記第2の半導体チップの表面の電極と前記支持体の内部電極部とを電気的に接続する工程と、前記第1の半導体チップ及び前記第2の半導体チップを覆いかつ外部に前記支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着し、前記第1の半導体チップの表面の電極と前記支持体の電極部とを金属細線で接続し、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合わせ、かつ前記第2の半導体チップが前記金属配線の少なくとも一部と重なるように配置して前記第2の半導体チップの裏面と前記第1の半導体チップの表面との間を絶縁性接着剤で固着し、前記第2の半導体チップの表面の電極と前記支持体の電極部とを電気的に接続したことを特徴とする半導体装置。

【請求項6】 第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に前記支持

2

体の外部電極部を露出したことを特徴とする請求項5記載の半導体装置。

【請求項7】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、前記第1の半導体チップの表面の電極と前記支持体の内部電極部とを金属細線で接続する工程と、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合わせ、かつ前記第2の半導体チップが前記金属配線の少なくとも一部と重なるように配置して前記第2の半導体チップの裏面と前記第1の半導体チップの表面との間を絶縁性接着剤で固着する工程と、前記第2の半導体チップの表面の電極と前記支持体の内部電極部とを電気的に接続する工程と、前記第1の半導体チップ及び前記第2の半導体チップを覆いかつ外部に前記支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 絶縁性接着剤が、少なくとも前記第1の半導体チップと前記第2の半導体チップとが重なりあう領域の全部に形成されていることを特徴とする請求項1、2、3、5または6記載の半導体装置。

【請求項9】 絶縁性接着剤を、少なくとも前記第1の半導体チップと前記第2の半導体チップとが重なりあう領域の全部に形成することを特徴とする請求項4または7記載の半導体装置の製造方法。

【請求項10】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着し、前記第1の半導体チップの表面の電極と前記支持体の電極部とを金属細線で接続し、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合わせ、かつ前記第2の半導体チップが前記金属配線の少なくとも一部と重なるように配置して前記第1の半導体チップの少なくとも一部の側面を覆うように形成される絶縁性接着剤で前記第2の半導体チップの裏面と前記支持体の素子載置部との間を固着し、前記第2の半導体チップの表面の電極と前記支持体の電極部とを電気的に接続したことを特徴とする半導体装置。

【請求項11】 第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に支持体の外部電極部を露出したことを特徴とする請求項10記載の半導体装置。

【請求項12】 第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、前記第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、前記第1の半導体チップの表面の電極と前記支持体の内部電極部とを金属細線で接続する工程

(3)

3

と、前記第2の半導体チップの裏面を前記金属細線の最上部より高い位置で前記第1の半導体チップの表面に向かい合わせ、かつ前記第2の半導体チップが前記金属配線の少なくとも一部と重なるように配置して前記第1の半導体チップの少なくとも一部の側面を覆うように形成される絶縁性接着剤で前記第2の半導体チップの裏面と前記支持体の素子載置部との間を固着する工程と、前記第2の半導体チップの表面の電極と前記支持体の内部電極部とを電氣的に接続する工程と、前記第1の半導体チップ及び前記第2の半導体チップを覆いかつ外部に前記支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項13】 インナーリード及びアウターリードとなるリードとダイパッドとを有するリードフレームを用い、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、前記第1の半導体チップの表面を前記ダイパッドの下面に固着し、前記第1の半導体チップの表面の電極と前記インナーリードとを金属細線で接続し、前記第2の半導体チップの裏面を前記ダイパッドを介して前記第1の半導体チップの表面に向かい合わせ、かつ前記第2の半導体チップが前記金属配線の少なくとも一部と重なるように配置して前記第2の半導体チップの裏面を前記ダイパッドの上面に固着し、前記第2の半導体チップの表面の電極と前記インナーリードとを電氣的に接続し、前記第1の半導体チップ及び前記第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に前記アウターリードを露出したことを特徴とする半導体装置。

【請求項14】 ダイパッドは、下面に第1の半導体チップを固着する第1のチップ固着部と、上面に第2の半導体チップを固着する第2のチップ固着部と、前記第1のチップ固着部が前記第2のチップ固着部より下方に位置するように前記第1のチップ固着部と前記第2のチップ固着部とを連結した連結部とを有したことを特徴とする請求項13記載の半導体装置。

【請求項15】 インナーリード及びアウターリードとなるリードを有するリードフレームを用い、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、前記第1の半導体チップの表面の周辺部と重なるように配置されたインナーリードを前記第1の半導体チップの表面に絶縁テープを介して固着し、前記第1の半導体チップの表面の電極と前記インナーリードとを金属細線で接続し、前記第1の半導体チップの表面及び前記金属細線を絶縁性樹脂で覆い、前記第2の半導体チップを前記絶縁性樹脂上に設置し、前記第2の半導体チップの表面の電極と前記インナーリードとを電氣的に接続し、前記第1の半導体チップ及び前記第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に前記アウターリード

4

を露出したことを特徴とする半導体装置。

【請求項16】 アウターリードと、前記アウターリードと連続した第1のインナーリードと、前記第1のインナーリードよりダウンセットされたダイパッドと、前記ダイパッドと前記第1のインナーリードとの間に配置され前記ダイパッドと同一平面上または同一平面上より上の位置になるように前記第1のインナーリードよりダウンセットされた第2のインナーリードとを有するリードフレームを用い、

10 前記第1の半導体チップの裏面を前記ダイパッド上に固着し、前記第1の半導体チップの表面の電極と前記第2のインナーリードとを金属細線で接続するとともに前記第1のインナーリードと前記第2のインナーリードとを金属細線で接続し、前記第1の半導体チップの表面に絶縁性の接着剤により前記第2の半導体チップを固着し、前記第2の半導体チップの表面の電極と前記第1のインナーリードとを金属配線で接続し、前記第1の半導体チップ及び前記第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に前記アウターリードを露出したことを特徴とする半導体装置。

【請求項17】 請求項16記載の半導体装置の製造方法であって、リードフレームを作製する際、

20 吊りリードにより保持されたダイパッドと、アウターリードと、前記アウターリードと連続した第1のインナーリードと、前記ダイパッドと前記第1のインナーリードとの間に配置され前記ダイパッドと接続された第2のインナーリードとが設けられた前記リードフレームの仕掛品を形成する工程と、前記第2のインナーリードを前記ダイパッドを保持する吊りリードを端部として貼り付けテープで固着する工程と、前記第2のインナーリードと前記ダイパッドとの接続部分を切り離す工程と、切り離された前記ダイパッド部および第2のインナーリードを前記第1のインナーリードよりダウンセットする工程とを含むことを特徴とする半導体装置の製造方法。

30 【請求項18】 アウターリードと、前記アウターリードと連続し先端部がダウンセットされたインナーリードと、前記先端部を除く前記インナーリードよりダウンセットされたダイパッドとを有し、かつ前記インナーリードの先端部が前記ダイパッドと同一平面上または同一平面上より上の位置になるようにダウンセットされたリードフレームを用い、

40 前記第1の半導体チップの裏面を前記ダイパッド上に固着し、前記第1の半導体チップの表面の電極と前記インナーリードのダウンセットされた先端部とを金属細線で接続し、前記第1の半導体チップの表面に絶縁性の接着剤により前記第2の半導体チップを固着し、前記第2の半導体チップの表面の電極と前記インナーリードのダウンセットされた先端部より外側部分とを金属配線で接続し、前記第1の半導体チップ及び前記第2の半導体チップを封止樹脂で覆い、前記封止樹脂の外部に前記アウタ

50

(4)

5

ーリードを露出したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップを積層した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、LSI半導体装置の低コスト化及び小型化を図るために、互いに異なる機能を有するLSI又は互いに異なるプロセスにより形成されたLSIチップを3次元実装するマルチチップパッケージが提案されている。

【0003】以下、従来例として、特開平1-235363号公報で示されたマルチチップパッケージについて図12を参照しながら説明する。

【0004】まず、図12に示すように、第1のLSIチップ53がリードフレームのダイパッド51にダイボンドされ、インナーリード52と電極55がボンディングワイヤ57にて接続されている。第1のLSIチップ53の表面には第2のLSIチップ54が絶縁性樹脂などでダイボンドされ、外部電極56とインナーリード52がボンディングワイヤ58にて接続され、トランスファモールドによりパッケージングされたものである。

【0005】この従来のマルチチップパッケージの製造方法について説明する。まず、リードフレームのダイパッド51にロジックやメモリ等の第1のLSIチップ53を導電性樹脂等のダイボンド樹脂61でダイボンドする。次に、第2のLSIチップ54を第1のLSIチップ53の表面に絶縁性樹脂等のダイボンド樹脂62でダイボンドする。次に第1及び第2のLSIチップ53、54の外部電極55、56とインナーリード52をワイヤボンディングにて電氣的に接続する。次に、トランスファモールド等により封止樹脂59を形成しパッケージングしたものである。

【0006】この従来の構成および製造方法によれば、第1および第2のLSIチップ53、54をダイボンドした後で、ワイヤボンディングを行うため、第1のLSIチップ53のワイヤボンディングを可能にするためには第2のLSIチップ54のサイズは、ダイボンド時に第1のLSIチップ53の外部電極55にはかからず、ダイボンド樹脂62がはみ出し、第1のLSIチップ53の電極55を覆わないことが必要であり、第2のLSIチップ54は第1のLSIチップ53に比べ十分小さいものに限定される。

【0007】

【発明が解決しようとする課題】上記従来の3次元実装によるマルチチップパッケージによると、3次元実装された上側に位置する第2のLSIチップ54のサイズは下側の第1のLSIチップ53のサイズに比べ十分小さくすることが必要であるため、2つのチップの組み合

6

わせが適合できる適用範囲が狭い。特に、片側のチップにメモリチップを適用する場合は、通常メモリチップの場合、縦横比の大きい長方形であり、四角形の直交する2辺（長辺と短辺）において、もう一方のチップの2辺に対し長辺は大きく、短辺は小さい組み合わせとなり、3次元実装への適用が不可であるケースが多く発生するものであり、適用範囲の狭い構成である。

【0008】本発明の目的は、2つのチップを積層して搭載する半導体装置において、搭載可能なチップサイズの組み合わせの適用範囲を広くとれる半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】請求項1記載の半導体装置は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、第1の半導体チップの裏面を支持体の素子載置部に固着し、第1の半導体チップの表面の電極と支持体の電極部とを金属細線で接続し、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合うように配置して第2の半導体チップの裏面と第1の半導体チップの表面との間を絶縁性接着剤で固着し、第2の半導体チップの表面の電極と支持体の電極部とを電氣的に接続したことを特徴とする。

【0010】請求項2記載の半導体装置は、請求項1記載の半導体装置において、第2の半導体チップの平面形状の直交する2辺のうち少なくとも1辺が、第1の半導体チップの平面形状の直交する2辺よりも大きいことを特徴とする。

【0011】請求項3記載の半導体装置は、請求項1または2記載の半導体装置において、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部に支持体の外部電極部を露出したことを特徴とする。

【0012】請求項4記載の半導体装置の製造方法は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、第1の半導体チップの表面の電極と支持体の内部電極部とを金属細線で接続する工程と、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合うように配置して第2の半導体チップの裏面と第1の半導体チップの表面との間を絶縁性接着剤で固着する工程と、第2の半導体チップの表面の電極と支持体の内部電極部とを電氣的に接続する工程と、第1の半導体チップ及び第2の半導体チップを覆いかつ外部に支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする。

【0013】請求項1～4の発明によれば、第1の半導体チップと第2の半導体チップとを固着する絶縁性接着剤によって、上側の第2の半導体チップの裏面を、下側

50

(5)

7

の第1の半導体チップの電極に接続された金属細線の最上部より高い位置にすることにより、第2の半導体チップが第1の半導体チップの電極に接続された金属細線と接触することがなく、第1および第2の半導体チップのチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。

【0014】請求項5記載の半導体装置は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、第1の半導体チップの裏面を支持体の素子載置部に固着し、第1の半導体チップの表面の電極と支持体の電極部とを金属細線で接続し、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合わせ、かつ第2の半導体チップが金属配線の少なくとも一部と重なるように配置して第2の半導体チップの裏面と第1の半導体チップの表面との間を絶縁性接着剤で固着し、第2の半導体チップの表面の電極と支持体の電極部とを電氣的に接続したことを特徴とする。

【0015】請求項6記載の半導体装置は、請求項5記載の半導体装置において、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部に支持体の外部電極部を露出したことを特徴とする。

【0016】請求項7記載の半導体装置の製造方法は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、第1の半導体チップの表面の電極と支持体の内部電極部とを金属細線で接続する工程と、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合わせ、かつ第2の半導体チップが金属配線の少なくとも一部と重なるように配置して第2の半導体チップの裏面と第1の半導体チップの表面との間を絶縁性接着剤で固着する工程と、第2の半導体チップの表面の電極と支持体の内部電極部とを電氣的に接続する工程と、第1の半導体チップ及び第2の半導体チップを覆いかつ外部に支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする。

【0017】請求項5～7の発明によれば、第1の半導体チップと第2の半導体チップとを固着する絶縁性接着剤によって、上側の第2の半導体チップの裏面を、下側の第1の半導体チップの電極に接続された金属細線の最上部より高い位置にすることにより、第2の半導体チップが第1の半導体チップの電極に接続された金属細線と接触することがなく、第1および第2の半導体チップのチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。

【0018】請求項8記載の半導体装置は、請求項1, 2, 3, 5または6記載の半導体装置において、絶縁性接着剤が、少なくとも第1の半導体チップと第2の半導体チップとが重なりあう領域の全部に形成されているこ

8

とを特徴とする。

【0019】請求項9記載の半導体装置の製造方法は、請求項4または7記載の半導体装置の製造方法において、絶縁性接着剤を、少なくとも第1の半導体チップと第2の半導体チップとが重なりあう領域の全部に形成することを特徴とする。

【0020】請求項8, 9の発明によれば、第2の半導体チップが広い領域で固定され、第2の半導体チップの電極の電氣的接続をより良好にできるとともに、第2の半導体チップにチップサイズの大きなものを用いることができる。

【0021】請求項10記載の半導体装置は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、第1の半導体チップの裏面を支持体の素子載置部に固着し、第1の半導体チップの表面の電極と支持体の電極部とを金属細線で接続し、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合わせ、かつ第2の半導体チップが金属配線の少なくとも一部と重なるように配置して第1の半導体チップの少なくとも一部の側面を覆うように形成される絶縁性接着剤で第2の半導体チップの裏面と支持体の素子載置部との間を固着し、第2の半導体チップの表面の電極と支持体の電極部とを電氣的に接続したことを特徴とする。

【0022】請求項11記載の半導体装置は、請求項10記載の半導体装置において、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部に支持体の外部電極部を露出したことを特徴とする。

【0023】請求項12記載の半導体装置の製造方法は、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置の製造方法であって、第1の半導体チップの裏面を支持体の素子載置部に固着する工程と、第1の半導体チップの表面の電極と支持体の内部電極部とを金属細線で接続する工程と、第2の半導体チップの裏面を金属細線の最上部より高い位置で第1の半導体チップの表面に向かい合わせ、かつ第2の半導体チップが金属配線の少なくとも一部と重なるように配置して第1の半導体チップの少なくとも一部の側面を覆うように形成される絶縁性接着剤で第2の半導体チップの裏面と支持体の素子載置部との間を固着する工程と、第2の半導体チップの表面の電極と支持体の内部電極部とを電氣的に接続する工程と、第1の半導体チップ及び第2の半導体チップを覆いかつ外部に支持体の外部電極部が露出するように封止樹脂を形成する工程とを含むことを特徴とする。

【0024】請求項10～12の発明によれば、第2の半導体チップを固着する絶縁性接着剤によって、上側の第2の半導体チップの裏面を、下側の第1の半導体チップの電極に接続された金属細線の最上部より高い位置にすることにより、第2の半導体チップが第1の半導体チ

(6)

9

チップの電極に接続された金属細線と接触することがなく、第1および第2の半導体チップのチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。さらに、第2の半導体チップがその裏面全面の広い領域で固定され、第2の半導体チップの電極の電氣的接続をより良好にできるとともに、第2の半導体チップにチップサイズのより大きなものを用いることができる。

【0025】請求項13記載の半導体装置は、インナーリード及びアウターリードとなるリードとダイパッドとを有するリードフレームを用い、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、第1の半導体チップの表面をダイパッドの下面に固着し、第1の半導体チップの表面の電極とインナーリードとを金属細線で接続し、第2の半導体チップの裏面をダイパッドを介して第1の半導体チップの表面に向かい合わせ、かつ第2の半導体チップが金属配線の少なくとも一部と重なるように配置して第2の半導体チップの裏面をダイパッドの上面に固着し、第2の半導体チップの表面の電極とインナーリードとを電氣的に接続し、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部にアウターリードを露出したことを特徴とする。

【0026】請求項13の発明によれば、第1の半導体チップ上にダイパッドを介して第2の半導体チップを設けているため、下側の第1の半導体チップの電極に接続される金属細線の最上部の高さをダイパッドの厚みより低くすることにより、第2の半導体チップが第1の半導体チップの電極に接続された金属細線と接触することがなく、第1および第2の半導体チップのチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。

【0027】請求項14記載の半導体装置は、請求項13記載の半導体装置において、ダイパッドは、下面に第1の半導体チップを固着する第1のチップ固着部と、上面に第2の半導体チップを固着する第2のチップ固着部と、第1のチップ固着部が第2のチップ固着部より下方に位置するように第1のチップ固着部と第2のチップ固着部とを連結した連結部とを有したことを特徴とする。

【0028】請求項14の発明によれば、請求項13の効果に加え、ダイパッドを立体的に構成することにより、ダイパッドの厚みをより厚くすることができ、第1の半導体チップの電極に接続される金属細線の高さ制限が緩和され、チップサイズの適用範囲がより広がる。

【0029】請求項15記載の半導体装置は、インナーリード及びアウターリードとなるリードを有するリードフレームを用い、第1の半導体チップの上部に第2の半導体チップが搭載された半導体装置であって、第1の半導体チップの表面の周辺部と重なるように配置されたインナーリードを第1の半導体チップの表面に絶縁テープ

10

を介して固着し、第1の半導体チップの表面の電極とインナーリードとを金属細線で接続し、第1の半導体チップの表面及び金属細線を絶縁性樹脂で覆い、第2の半導体チップを絶縁性樹脂上に設置し、第2の半導体チップの表面の電極とインナーリードとを電氣的に接続し、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部にアウターリードを露出したことを特徴とする。

【0030】請求項15の発明によれば、第1の半導体チップの表面及び第1の半導体チップの表面の電極に接続された金属細線を絶縁性樹脂で覆い、その絶縁性樹脂上に第2の半導体チップを設置することにより、第2の半導体チップが第1の半導体チップの電極に接続された金属細線と接触することがなく、第1および第2の半導体チップのチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。

【0031】請求項16記載の半導体装置は、アウターリードと、アウターリードと連続した第1のインナーリードと、第1のインナーリードよりダウンセットされたダイパッドと、ダイパッドと第1のインナーリードとの間に配置されダイパッドと同一平面上または同一平面上より上の位置になるように第1のインナーリードよりダウンセットされた第2のインナーリードとを有するリードフレームを用い、第1の半導体チップの裏面をダイパッド上に固着し、第1の半導体チップの表面の電極と第2のインナーリードとを金属細線で接続するとともに第1のインナーリードと第2のインナーリードとを金属細線で接続し、第1の半導体チップの表面に絶縁性の接着剤により第2の半導体チップを固着し、第2の半導体チップの表面の電極と第1のインナーリードとを金属配線で接続し、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部にアウターリードを露出したことを特徴とする。

【0032】請求項16の発明によれば、前述のリードフレームを用いたことにより、第1の半導体チップと第2の半導体チップに接続する金属細線が交差しない。また、第1の半導体チップの電極をそのチップ形状（四角形）の1組の対向する2辺側にのみ形成することにより、2つのチップのサイズの組み合わせの適用範囲を広くとれる。

【0033】請求項17記載の半導体装置の製造方法は、請求項16記載の半導体装置の製造方法であって、リードフレームを作製する際、吊りリードにより保持されたダイパッドと、アウターリードと、アウターリードと連続した第1のインナーリードと、ダイパッドと第1のインナーリードとの間に配置されダイパッドと接続された第2のインナーリードとが設けられたリードフレームの仕掛品を形成する工程と、第2のインナーリードをダイパッドを保持する吊りリードを端部として貼り付けテープで固着する工程と、第2のインナーリードとダイ

(7)

11

パッドとの接続部分を切り離す工程と、切り離されたダイパッド部および第2のインナーリードを第1のインナーリードよりダウンセットする工程とを含むことを特徴とする。

【0034】請求項17の発明により、請求項16記載の半導体装置に用いるリードフレームを作製できる。

【0035】請求項18記載の半導体装置は、アウターリードと、アウターリードと連続し先端部がダウンセットされたインナーリードと、先端部を除くインナーリードよりダウンセットされたダイパッドとを有し、かつインナーリードの先端部がダイパッドと同一平面上または同一平面上より上の位置になるようにダウンセットされたリードフレームを用い、第1の半導体チップの裏面をダイパッド上に固着し、第1の半導体チップの表面の電極とインナーリードのダウンセットされた先端部とを金属細線で接続し、第1の半導体チップの表面に絶縁性の接着剤により第2の半導体チップを固着し、第2の半導体チップの表面の電極とインナーリードのダウンセットされた先端部より外側部分とを金属配線で接続し、第1の半導体チップ及び第2の半導体チップを封止樹脂で覆い、封止樹脂の外部にアウターリードを露出したことを特徴とする。

【0036】請求項18の発明によれば、前述のリードフレームを用いたことにより、第1の半導体チップと第2の半導体チップに接続する金属細線が交差ししない。また、第1の半導体チップの電極をそのチップ形状（四角形）の1組の対向する2辺側にのみ形成することにより、2つのチップのサイズの組み合わせの適用範囲を広くとれる。

【0037】

【発明の実施の形態】以下、本発明の実施の形態における半導体装置であるマルチチップパッケージ（以下MCPと記す）について図面を参照しながら説明する。

【0038】〔第1の実施の形態：請求項1～7（特に請求項6、7）に対応〕図1は本発明の第1の実施の形態におけるMCPの製造方法の工程順断面図を示すものである。図1において、1はリードフレーム（支持体）のインナーリード（電極部、内部電極部）、2はリードフレームのダイパッド（素子載置部）、3は第1のLSIチップ（第1の半導体チップ）、4は第1のLSIチップの電極、5は第1のLSIチップの電極4とインナーリード1を接続するボンディングワイヤ（金属細線）、6は第2のLSIチップ（第2の半導体チップ）、7は第2のLSIチップの電極、8は絶縁性樹脂（絶縁性接着剤）、9は第2のLSIチップの電極7とインナーリード1を接続するボンディングワイヤ、10は封止樹脂、11はリードフレームのアウターリード（外部電極部）を示すものである。また、図4は第1のLSIチップ3及び第2のLSIチップ6の構成（サイズ）例を示す平面図である。

12

【0039】本実施の形態におけるMCPの製造方法は、まず、図1（a）に示すように、第1のLSIチップ3をリードフレームのダイパッド2にダイボンディングする。リードフレームの材質は、42アロイやCu等であり、厚みは0.15mm程度である。ダイパッド2は、後に行うトランスファモールド工程での樹脂の流動を良好にすること、パッケージの厚みを薄くする事などの目的から、リードフレームのインナーリード1の位置より下げた位置になるよう、あらかじめプレス加工を施しておく。ダイボンディング工程では、図示はしていないが、導電性あるいは絶縁性のエポキシやポリイミド系の樹脂を用い加熱により樹脂を硬化し、第1のLSIチップ3を固定する。そして、第1のLSIチップ3の電極4とインナーリード1をボンディングワイヤ5で接続する。ボンディングワイヤ5の径、材質やワイヤボンディングの方式については、後述のボンディングワイヤ9と同様である。

【0040】次に、図1（b）に示すように、第2のLSIチップ6の裏面を第1のLSIチップ2の表面に絶縁性樹脂8を用いて固着する。このとき、絶縁性樹脂8の厚みは、第2のLSIチップ6の裏面が第1のLSIチップ3のボンディングワイヤ5の最上部より高い位置になるよう設定する。通常ボンディングワイヤ5のループ高さは50μm～200μm程度であり、絶縁性樹脂8の厚みは55μm～300μm程度に設定する。絶縁性樹脂8の材質は、液状のエポキシ、ポリイミド、アクリル等であり、ディスペンス法やスタンピング法等で第1のLSIチップ3の表面に形成した後、第2のLSIチップ6を設置し、加熱することで硬化する。絶縁性樹脂8の性状は、液状だけでなく、Bステージで固形状にしたものや、絶縁フィルム、両面に粘着材が形成されたフィルム、あるいは、熱可塑性のフィルム等を用いることができる。ここでの絶縁性樹脂8の形成領域は、第1のLSIチップ3の電極4部より内側の領域としており、この場合、絶縁性樹脂8にフィルムタイプのものを用いることができるため、作業性が向上し、コストを低く抑えられる。

【0041】次に、図1（c）に示すように、第2のLSIチップ6の電極7とインナーリード1をワイヤボンディングにより、ボンディングワイヤ9で接続することで電氣的に接続する。ボンディングワイヤ9は、通常18μm～30μm程度の径であり、材質は、Au、Cu、Al等であり、ボンディングワイヤ9の表面に絶縁性皮膜が形成されたものを用いることもできる。ワイヤボンディングの方式は、超音波熱圧着ボンディングによるボールボンディングや、ウエッジボンディングを用いる。この時、第2のLSIチップ6の電極7が位置する裏面の部分は、絶縁性樹脂8で固定されていないが、その固定されていない部分である絶縁性樹脂8の形成領域の端からボンディングワイヤ9が接続される位置までの

(8)

13

距離が2mm程度までであれば、第2のLSIチップ6の剛性で、ワイヤボンディング時の荷重には十分耐えることができ、ワイヤボンディング性は十分確保できる。また、後述の図2、図3に示した構成とすることにより第2のLSIチップ6のワイヤボンディングを容易に行うことができる。

【0042】次に、図1(d)に示すように、トランスファモールドにより、封止樹脂10を形成し、その後アウターリード11をフォーミングしMCPを完成する。

【0043】この図1(d)に示されるように、本実施の形態のMCPは、第1のLSIチップ2の表面に厚い絶縁性樹脂8を設け、第2のLSIチップ6の裏面を、第1のLSIチップ3を接続するボンディングワイヤ5の最上部より高い位置にしているため、第2のLSIチップ6が第1のLSIチップ3に接続されたボンディングワイヤ5と接触することがない。従来では、積み重ねる2つのLSIチップのサイズは、上側のLSIチップを下側のLSIチップより小さくする必要があったが、本実施の形態では、図1からも明らかなように、絶縁性樹脂8を、第1のLSIチップ3のボンディングワイヤ5のループ高さ(最上部)より高くなるように厚く設けているため、図4に示すように、上側の第2のLSIチップ6の平面形状の直交する2辺のうち少なくとも1辺が、第1のLSIチップ3の平面形状の直交する2辺よりも大きくても、ボンディングワイヤ5を損傷することなく積層することができる。そのため、2つのLSIチップ3、6のサイズの制約を少なくし、2つのLSIチップ3、6のサイズの組み合わせの適用範囲が広く、汎用性の高いものとなる。

【0044】なお、本実施の形態では、第1、第2のLSIチップ3、6のサイズ(平面形状)が図4に示された場合であるため、上側の第2のLSIチップ6が下側の第1のLSIチップ3に接続されたボンディングワイヤ5の一部分と重なるように配置されるが、第2のLSIチップ6のサイズが小さく、第1のLSIチップ3の電極4の内側に配置されるような場合には、第2のLSIチップ6が第1のLSIチップ3に接続されるボンディングワイヤ5と重ならないことは言うまでもない。

【0045】〔第2の実施の形態：請求項1～9(特に請求項8、9)に対応〕図2は本発明の第2の実施の形態におけるMCPの断面図であり、図1と対応する部分には同一符号を付し、その説明を省略する。

【0046】この図2に示す第2の実施の形態では、絶縁性樹脂8の形成領域を第1のLSIチップ3の表面全面としている。他の構成及び製造方法は第1の実施の形態と同様である。この第2の実施の形態によれば、第1の実施の形態と比べ、第2のLSIチップ6が絶縁性樹脂8で固定される領域が広がり、積層する第2のLSIチップ6のサイズを第1の実施の形態に比べて大きくしても、第2のLSIチップ6へのワイヤボンディングを

14

容易に行うことができる。

【0047】この第2の実施の形態の場合、絶縁性樹脂8を第1のLSIチップ3の表面全面に形成するため、少なくとも第1のLSIチップ3と第2のLSIチップ6とが重なり合う領域の全部に絶縁性樹脂8が形成されることになる。

【0048】〔第3の実施の形態：請求項1～12(特に請求項10～12)に対応〕図3は本発明の第3の実施の形態におけるMCPの断面図であり、図1と対応する部分には同一符号を付し、その説明を省略する。

【0049】この図3に示す第3の実施の形態では、リードフレームのダイパッド2のサイズ(平面形状)を第2のLSIチップ6のサイズ(平面形状)とほぼ同等にしておき、第2のLSIチップ6を固定する絶縁性樹脂8の形成領域を第2のLSIチップ6の裏面全面から第1のLSIチップ4及びダイパッド2の表面に至る領域としたものであり、他の構成及び製造方法は第1の実施の形態と同様である。この構成であれば、第2のLSIチップ6の電極7の位置に対応する裏面が絶縁性樹脂8で固定されているため、第2のLSIチップ6へのワイヤボンディング性が向上し、第1の実施の形態、第2の実施の形態よりも更に、第1のLSIチップ3と第2のLSIチップ6のサイズ差を大きくすることができ、適用範囲をさらに広げることができるものである。

【0050】この第3の実施の形態の場合、絶縁性樹脂8が第2のLSIチップ6の裏面全面の下に形成されるため、第1のLSIチップ3と第2のLSIチップ6とが重なり合う領域の全部に絶縁性樹脂8が形成されることは言うまでもなく、図3に示されるように第1のLSIチップ3の少なくとも一部の側面にも絶縁性樹脂8が形成されることになる。

【0051】上記の第1～第3の実施の形態では、パッケージングは樹脂封止によるQFPやSOPの場合について示したが、キャリアを用いるCSPやBGAのパッケージでもかまわない。このCSPやBGAのパッケージの場合を図5に示す。図5の(a)、(b)、(c)はそれぞれ第1、第2、第3の実施の形態に対応したものである。図5において、31はキャリアと呼ばれる配線基板(支持体)であり、この配線基板31は、一般にセラミックやエポキシ樹脂からなる複数層の絶縁基板に銅配線されたもので、通常パッケージサイズがキャリア(配線基板31)のサイズとなる。32、33は配線基板31の電極部であり、電極部32が第1のLSIチップ3の電極4に接続され、電極部33が第2のLSIチップ6の電極7に接続されている。なお、支持体の素子載置部は、図5(a)、(b)の場合には配線基板31上で第1のLSIチップ3が載置された部分であり、図5(c)の場合には配線基板31上で第1のLSIチップ3が載置された部分および絶縁性樹脂8が形成されている部分である。

(9)

15

【0052】〔第4の実施の形態：請求項13に対応〕  
図6は本発明の第4の実施の形態におけるMCPの断面図であり、図1と対応する部分には同一符号を付している。

【0053】本実施の形態のMCPは、第1～第3の実施の形態のように第1のLSIチップ3と第2のLSIチップ6とを厚い絶縁性樹脂8で固着するのではなく、第1と第2のLSIチップ3、6の間にリードフレームのダイパッド2を挟み込み、第1のLSIチップ3の表面がダイパッド2の下面に固着され、第2のLSIチップ6の裏面がダイパッド2の上面に固着されている。そして、第1のLSIチップ3の電極4とインナーリード1とを接続しているボンディングワイヤ5の高さをダイパッド2の厚みより低くしている。

【0054】この第4の実施の形態におけるMCPの製造方法は、まず、第1のLSIチップ3をリードフレームのダイパッド2の下面にダイボンドする。このときダイボンドされる領域及びダイパッドサイズは第1のLSIチップ3の電極4部より内側となる。図示はしていないが、絶縁性のエポキシやポリイミド系の樹脂を用い加熱により樹脂を硬化し、第1のLSIチップ3を固定する。次に、第1のLSIチップ3の電極4とインナーリード1を金属細線であるボンディングワイヤ5で接続する。このときのボンディングワイヤ5のループ高さはダイパッド2の厚み（80 $\mu$ m～200 $\mu$ m程度）よりも低くしなければならず、ループ高さは50 $\mu$ m～100 $\mu$ m程度である。その後、第2のLSIチップ6の裏面をダイパッド2の上面にダイボンドし、第2のLSIチップ6の電極7とインナーリード1を金属細線であるボンディングワイヤ9で接続する。最後に外部電極であるアウターリード11のみが露出するように封止樹脂10で成形する。

【0055】本実施の形態によれば、第1と第2のLSIチップ3、6でダイパッド2を挟み込み、第1のLSIチップ3の電極4とインナーリード1とを接続しているボンディングワイヤ5の高さをダイパッド2の厚みより低くすることで、第2のLSIチップ6のサイズに関係なく組立でき、ボディ厚みが1mm以下の薄型パッケージの形成が可能となる。したがって、2つのLSIチップ3、6のサイズの制約を少なくし、2つのLSIチップ3、6のサイズの組み合わせの適用範囲を広くでき、また、薄型の装置を実現できる。

【0056】〔第5の実施の形態：請求項14に対応〕  
図7（a）は本発明の第5の実施の形態におけるMCPの断面図であり、2Aは立体型ダイパッドであり、その他図1と対応する部分には同一符号を付している。また、図7（b）は立体型ダイパッド2Aの平面図である。

【0057】本実施の形態のMCPは、図6のダイパッド2に代えて、立体型ダイパッド2Aを用いた構成であ

16

り、他は図6と同様である。立体型ダイパッド2Aは、下面に第1のLSIチップ3が固着される第1のチップ固着部2aと、上面に第2のLSIチップ6が固着される第2のチップ固着部2bと、第1のチップ固着部2aが第2のチップ固着部2bの下方に位置するように第1のチップ固着部2aと第2のチップ固着部2bとを連結する連結部2cとを備えるように、リードフレームが加工され形成されている。

【0058】本実施の形態におけるMCPの製造方法は、まず、第1のLSIチップ3をリードフレームの立体型ダイパッド2Aの第1のチップ固着部2aの下面にダイボンドする。このときダイボンドされる領域及び第1のチップ固着部2aのサイズは第1のLSIチップ3の電極4部より内側となる。図示はしていないが、絶縁性のエポキシやポリイミド系の樹脂を用い加熱により樹脂を硬化し、第1のLSIチップ3を固定する。次に、第1のLSIチップ3の電極4とインナーリード1を金属細線であるボンディングワイヤ5で接続する。このときのボンディングワイヤ5のループ高さは立体型ダイパッド2Aの高さ（～300 $\mu$ m程度）よりも低くしなければならず、ループ高さは～250 $\mu$ m程度である。その後、第2のLSIチップ6の裏面を立体型ダイパッド2Aの第2のチップ固着部2bの上面にダイボンドし、第2のLSIチップ6の電極7とインナーリード1を金属細線であるボンディングワイヤ9で接続する。最後に外部電極であるアウターリード11のみが露出するように封止樹脂10で成形する。

【0059】本実施の形態によれば、図6に示された第4の実施の形態に比べ、第1のLSIチップ3の電極4に接続する金属細線であるボンディングワイヤ5の高さ制限が緩和され、金属細線径 $\phi$ 25 $\mu$ mから30 $\mu$ mでワイヤー長6mm程度までのワイヤリングが可能となり、チップサイズの適用範囲が飛躍的に改善される。

【0060】〔第6の実施の形態：請求項15に対応〕  
図8は本発明の第6の実施の形態におけるMCPの断面図である。図8において、12は絶縁性樹脂からなる両面接着の絶縁テープである。その他図1と対応する部分には同一符号を付している。

【0061】本実施の形態のMCPは、インナーリード1を第1のLSIチップ3の表面とオーバーラップさせ、オーバーラップ部分のインナーリード1を第1のLSIチップ3の表面に絶縁テープ12で固着し、第1のLSIチップ3の表面と第1のLSIチップ3に接続されたボンディングワイヤ5とを覆うように絶縁性樹脂8を形成し、その絶縁性樹脂8上に第2のLSIチップ6を固着している。

【0062】本実施の形態におけるMCPの製造方法は、まず、第1のLSIチップ3をリードフレームのインナーリード1の下面に絶縁テープ12を介して固定し、第1のLSIチップ3の電極4とインナーリード1

(10)

17

を金属細線であるボンディングワイヤ5で接続する。その後、絶縁性樹脂8で第1のLSIチップ3の表面を覆う。このとき、ボンディングワイヤ5と第1のLSIチップ3の電極4とインナーリード1の一部とを覆う。絶縁性樹脂8の上に第2のLSIチップ6をダイボンドし、第2のLSIチップ6の電極7とインナーリード1を金属細線であるボンディングワイヤ9で接続する。最後に外部電極であるアウターリード11のみが露出するように封止樹脂10で成形する。

【0063】本実施の形態によれば、第1のLSIチップ3の表面と第1のLSIチップ3に接続されたボンディングワイヤ5とを覆うように絶縁性樹脂8を形成し、その絶縁性樹脂8上に第2のLSIチップ6を固着することにより、第2のLSIチップ6が第1のLSIチップ3に接続されたボンディングワイヤ5と接触することがなく、第1、第2のLSIチップ3、6のチップサイズの制約を無くし、搭載可能なチップサイズの組み合わせの適用範囲を広くできる。

【0064】〔第7の実施の形態：請求項16、17に対応〕図9(a)は本発明の第7の実施の形態におけるMCPの樹脂封止前の平面図、図9(b)は図9(a)におけるA-A'断面図、図9(c)は図9(a)におけるB-B'断面図である。また、図10は本発明の第7の実施の形態におけるMCPに使用するリードフレームの製造工程を示す工程順平面図である。

【0065】図9、図10において、13はリードフレームの第1のインナーリード、14はリードフレームのダイパッド、15は第2のLSIチップ(第2の半導体チップ)、16は第2のLSIチップ15の電極、17は第2のLSIチップ15を接続するボンディングワイヤ、18は第1のLSIチップ(第1の半導体チップ)、19は第1のLSIチップ18の電極、21は第1のLSIチップ18を接続するボンディングワイヤ、22は第1と第2のインナーリード13、24aを接続するボンディングワイヤ、23は絶縁性貼り付けテープ、24aはリードフレームの第2のインナーリード、24bは小ダイパッド、25はICチップを示すものである。

【0066】本実施の形態のMCPは、アウターリード(図示せず)と、アウターリードと連続した第1のインナーリード13と、第1のインナーリード13よりダウンセットされたダイパッド14と、ダイパッド14と第1のインナーリード13との間に配置されダイパッド14と同一平面上の位置になるようにダウンセットされた第2のインナーリード24aおよび小ダイパッド24bとを有するリードフレームを用いたものである。他の構成については、以下の製造方法に代えて説明する。

【0067】本実施の形態におけるMCPの製造方法は、第1のLSIチップ18をダウンセットされたダイパッド14にダイボンドし、次に第2のLSIチップ1

18

5を第1のLSIチップ18の上に設置し固着する。このとき図示はしていないが、第2のLSIチップ15と第1のLSIチップ18との間に絶縁性のエポキシやポリイミド系の樹脂を介し、加熱によりその樹脂を硬化し、固着する。これと前後してICチップ25も小ダイパッド24bにダイボンドされる。次に第1のLSIチップ18の電極19とリードフレームの第2のインナーリード24aとを金属細線であるボンディングワイヤ21で接続し、さらに第2のインナーリード24aと第1のインナーリード13とを金属細線であるボンディングワイヤ22で接続し、ICチップ25と第1のインナーリード13及び第1のLSIチップ18の電極19とを金属細線であるボンディングワイヤで接続する。その後、第2のLSIチップ15の電極16と第1のインナーリード13をボンディングワイヤ17で接続する。最後に外部電極であるアウターリードのみが露出するように封止樹脂(図示せず)を形成する。

【0068】この図9の構成によれば、前述のリードフレームを用いたことにより、第1のLSIチップ18と第2のLSIチップ15のボンディングワイヤが交差しない。また、第1のLSIチップ18の電極19をそのチップ形状(四角形)の1組の対向する2辺側にのみ形成しているため、図9のB-B'断面方向に対しては2つのチップのサイズの組み合わせの適用範囲を広くとれる。さらに、ダイパッド14の高さを図9より高くして第2のLSIチップ15をインナーリード13上にオーバーラップさせることも可能となる。

【0069】また、本実施の形態に用いられるリードフレームは、まず図10(a)に示すように、中央にダイパッド14が設けられ、その周囲に第1のインナーリード13が設けられ、ダイパッド14と第1のインナーリード13との間にダイパッド14から接続された第2のインナーリード24a及び小ダイパッド24bが設けられたリードフレーム(仕掛品)を形成する。次に、図10(b)に示すように、第2のインナーリード24a及び小ダイパッド24bの下面に絶縁性の貼り付けテープ23をダイパッド14を保持するサポートリード(吊りリード)に重なるように貼り付ける。次に、図10

(c)に示すように、第2のインナーリード24a及び小ダイパッド24bをダイパッド14から切り離し(図10(a)のCが切り離す部分を示す)、その後、ダイパッド14と第2のインナーリード24a及び小ダイパッド24bとが第1のインナーリード13より下になるようにサポートリードにダウンセット部26を設ける。

【0070】このように、第2のインナーリード24aを、第1のインナーリード13よりダウンセットされたダイパッド14と同一平面上に位置させることでMCPのワイヤーリングが容易にできる。また、第2のインナーリード24aの領域に小ダイパッド24bを設けることによりICチップ25(図9)を搭載することも可能

(11)

19

となる。

【0071】なお、本実施の形態では、第2のインナーリード24aおよび小ダイパッド24bを、ダイパッド14と同一平面上に位置させたが、第1のインナーリード13より下に位置するようにダウンセットしてあれば、ダイパッド14と同一平面上より上に位置させてあっても同様の効果が得られる。この場合、例えば、図10のダウンセット部26に加え、サポートリードの貼り付けテープ23とダイパッド14との間にもダウンセット部を設けることにより、ダイパッド14より上でかつ第1のインナーリード13より下に、第2のインナーリード24aおよび小ダイパッド24bを位置させることができる。

【0072】なお、ICチップ25を搭載する必要がない場合には小ダイパッド24bを設けなくてもよいことは言うまでもない。

【0073】〔第8の実施の形態：請求項18に対応〕図11(a)は本発明の第8の実施の形態におけるMCPの樹脂封止前の平面図、図11(b)は図11(a)におけるA-A'断面図、図11(c)は図11(a)におけるB-B'断面図である。図11において、13aはインナーリード13においてその先端部13bを下に位置させるためのダウンセット部であり、その他の図9と対応する部分には同一符号を付している。

【0074】本実施の形態のMCPに用いられるリードフレームは、アウターリード（図示せず）と、アウターリードと連続し先端部13bがダウンセットされたインナーリード13と、インナーリード13の先端部13bを除いた部分よりダウンセットされたダイパッド14とを有する。インナーリード先端部13bは、ダイパッド14と同一平面上もしくは同一平面上より上側にダウンセットされ、ダウンセットされる高さは100から400μmの範囲である。MCPの他の構成については、以下の製造方法に代えて説明する。

【0075】本実施の形態におけるMCPの製造方法は、第1のLSIチップ18をダウンセットされたダイパッド14にダイボンズし、次に第2のLSIチップ15を第1のLSIチップ18の上に設置し固着する。このとき図示はしていないが、第2のLSIチップ15と第1のLSIチップ18との間に絶縁性のエポキシやポリイミド系の樹脂を介し、加熱によりその樹脂を硬化し、固着する。次に第1のLSIチップ18の電極19とダウンセットされたインナーリード先端部13bとを金属細線であるボンディングワイヤ21で接続する。さらに第2のLSIチップ15の電極16とインナーリード13のダウンセットされた部分より外側を金属細線であるボンディングワイヤ17で接続する。第1、第2のLSIチップ18、15に接続されたそれぞれのボンディングワイヤ21、17は高さ方向では接触しない構造となる。最後に外部電極であるアウターリードのみが露

20

出するように封止樹脂（図示せず）を形成する。

【0076】この図11の構成によれば、前述のリードフレームを用いたことにより、第1のLSIチップ18と第2のLSIチップ15のボンディングワイヤが交差しない。また、第1のLSIチップ18の電極19をそのチップ形状（四角形）の1組の対向する2辺側のみ形成しているため、図11のB-B'断面方向に対しては2つのチップのサイズの組み合わせの適用範囲を広くとれる。さらに、ダイパッド14の高さを図11より高くして第2のLSIチップ15をインナーリード13上にオーバーラップさせることも可能となる。さらに、ボンディングワイヤの高さ（上下2つのチップより交差している部分）が、より低い高さにおいてワイヤリングできることが可能となり、パッケージボディ厚1mm以下の薄型パッケージに適用できる。

【0077】

【発明の効果】以上のように、本発明によれば、積層する上側の第2の半導体チップの裏面を、下側の第1の半導体チップに電極に接続された金属細線より高い位置になる構造であるため、積み重ねる2つの半導体チップのサイズの制約が無く、MCPの適用範囲が広く、コストの安い、小型・高密度・高機能の積層型半導体装置を提供することができるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の製造方法の工程順断面図。

【図2】本発明の第2の実施の形態における半導体装置の断面図。

【図3】本発明の第3の実施の形態における半導体装置の断面図。

【図4】本発明の実施の形態における第1のLSIチップ及び第2のLSIチップの組み合わせ例を示す平面図。

【図5】本発明の第1、第2、第3の実施の形態における他の例を示す半導体装置の断面図。

【図6】本発明の第4の実施の形態における半導体装置の断面図。

【図7】本発明の第5の実施の形態における半導体装置の断面図及びそれに用いられた立体型ダイパッドの平面図。

【図8】本発明の第6の実施の形態における半導体装置の断面図。

【図9】本発明の第7の実施の形態における半導体装置の平面図および断面図。

【図10】本発明の第7の実施の形態における半導体装置に使用するリードフレームの製造方法を示す工程順の要部平面図。

【図11】本発明の第8の実施の形態における半導体装置の平面図および断面図。

【図12】従来の半導体装置の断面図。

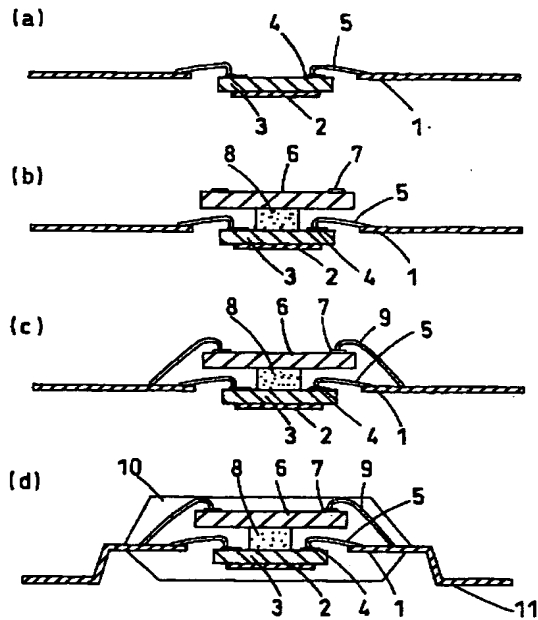
(12)

21

## 【符号の説明】

- 1 リードフレームのインナーリード
- 2 リードフレームのダイパッド
- 2 A 立体型ダイパッド
- 2 a 立体型ダイパッドの第1のチップ固着部
- 2 b 立体型ダイパッドの第2のチップ固着部
- 2 c 立体型ダイパッドの連結部
- 3 第1のLSIチップ
- 4 第1のLSIチップの電極
- 5 第1のLSIチップを接続するボンディングワイヤ
- 6 第2のLSIチップ
- 7 第2のLSIチップの電極
- 8 絶縁性樹脂
- 9 第2のLSIチップを接続するボンディングワイヤ
- 10 封止樹脂
- 11 リードフレームのアウターリード
- 12 絶縁テープ
- 13 リードフレームの(第1の)インナーリード

【図1】

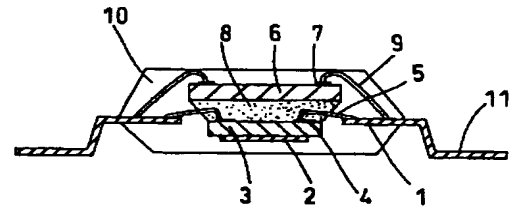


- 1 リードフレームのインナーリード
- 2 リードフレームのダイパッド
- 3 第1のLSIチップ
- 4 第1のLSIチップの電極
- 5 第1のLSIチップを接続するボンディングワイヤ
- 6 第2のLSIチップ
- 7 第2のLSIチップの電極
- 8 絶縁性樹脂
- 9 第2のLSIチップを接続するボンディングワイヤ
- 10 封止樹脂
- 11 リードフレームのアウターリード

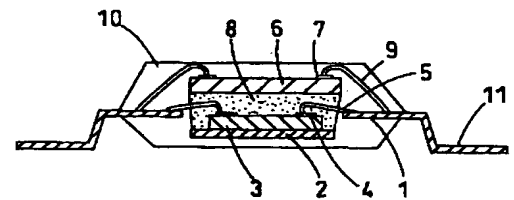
22

- 13 a インナーリードのダウンセット部
- 13 b インナーリードの先端部
- 14 ダイパッド
- 15 第2のLSIチップ
- 16 第2のLSIチップの電極
- 17 第2のLSIチップを接続するボンディングワイヤ
- 18 第1のLSIチップ
- 19 第1のLSIチップの電極
- 21 第1のLSIチップを接続するボンディングワイヤ
- 22 第1と第2のインナーリードを接続するボンディングワイヤ
- 23 絶縁性貼り付けテープ
- 24 a リードフレームの第2のインナーリード
- 24 b 小ダイパッド
- 25 ICチップ

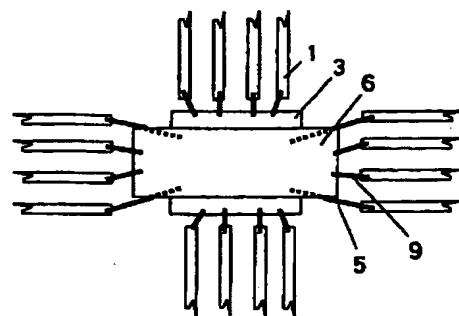
【図2】



【図3】

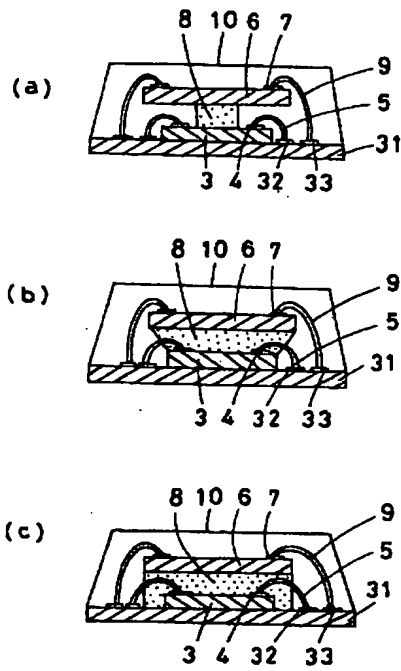


【図4】

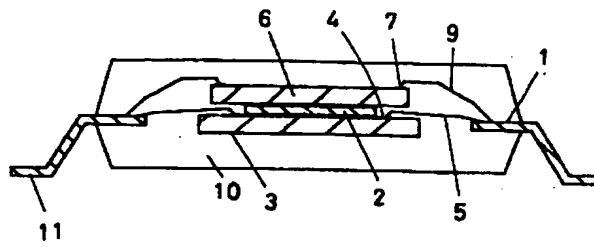


(13)

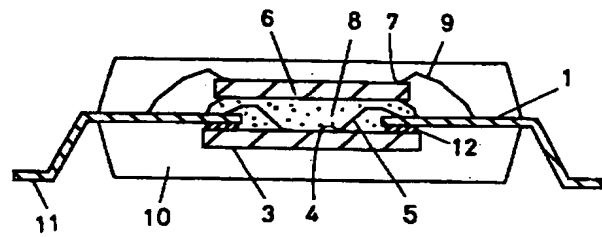
【図5】



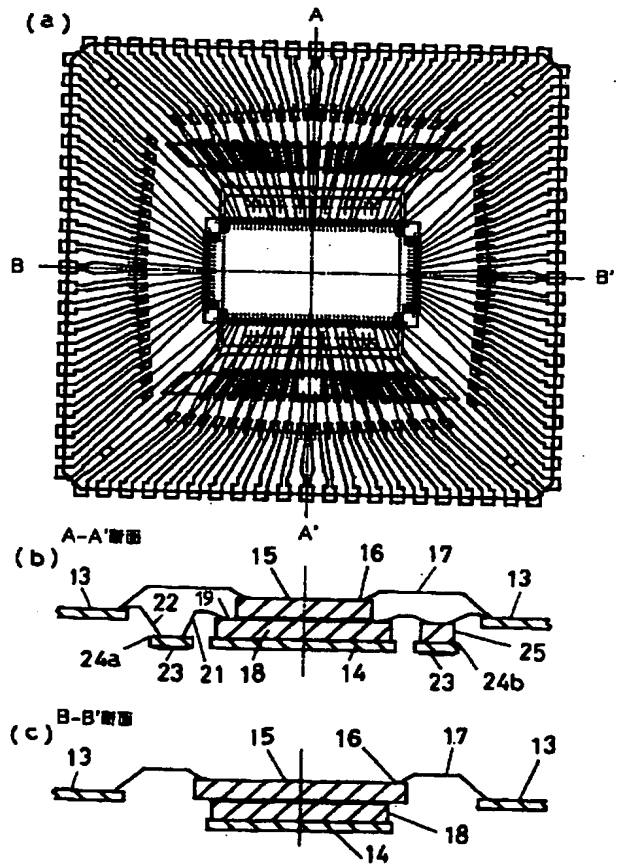
【図6】



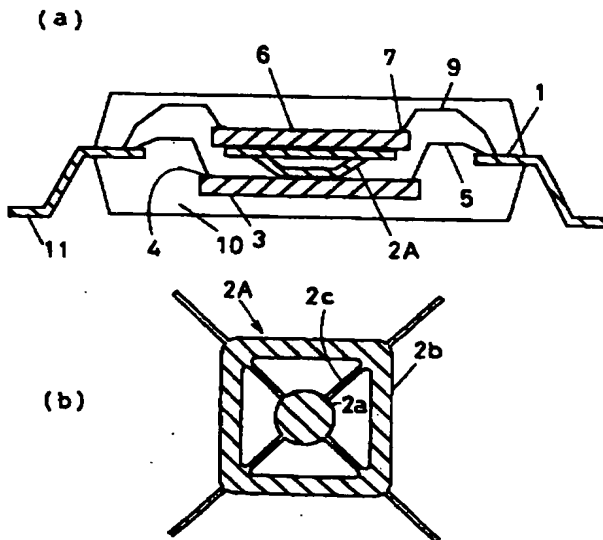
【図8】



【図9】

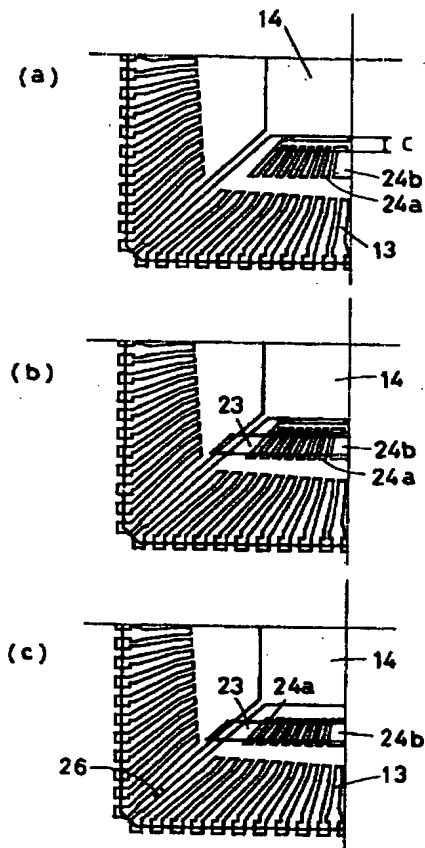


【図7】

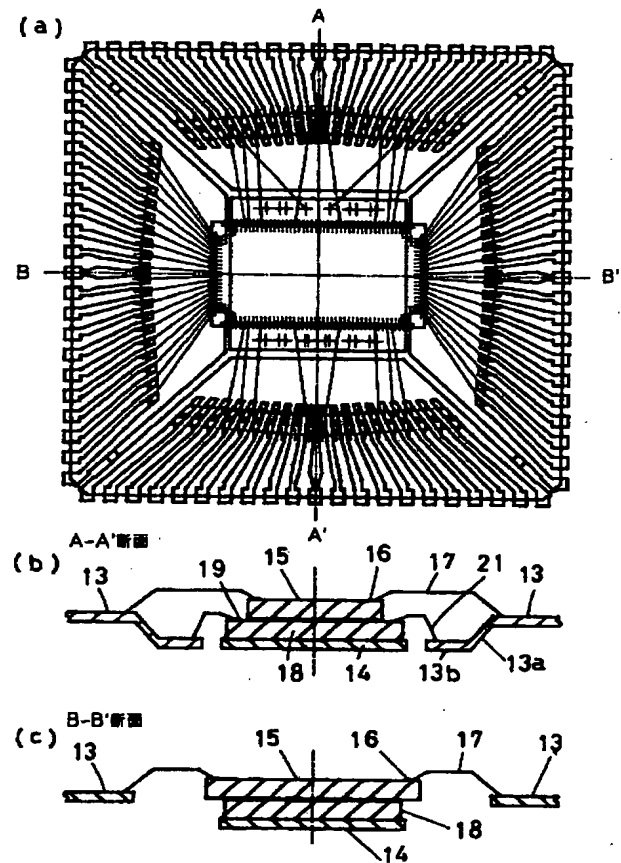


(14)

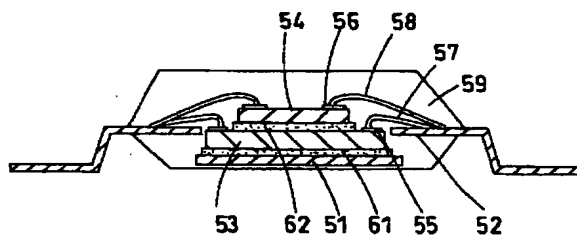
【図10】



【図11】



【図12】



フロントページの続き

(72) 発明者 福田 敏行  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

Fターム(参考) 5F067 AA01 AB03 BB08 BD05 BD10  
BE05 BE06 CB08 CC03 CC08  
DA05 DF07 DF09 DF17